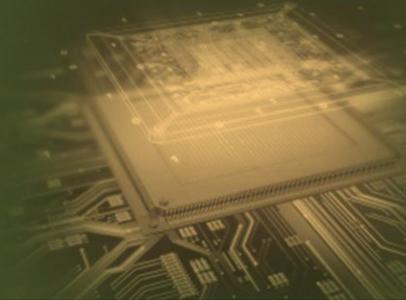


Sistemas Digitais



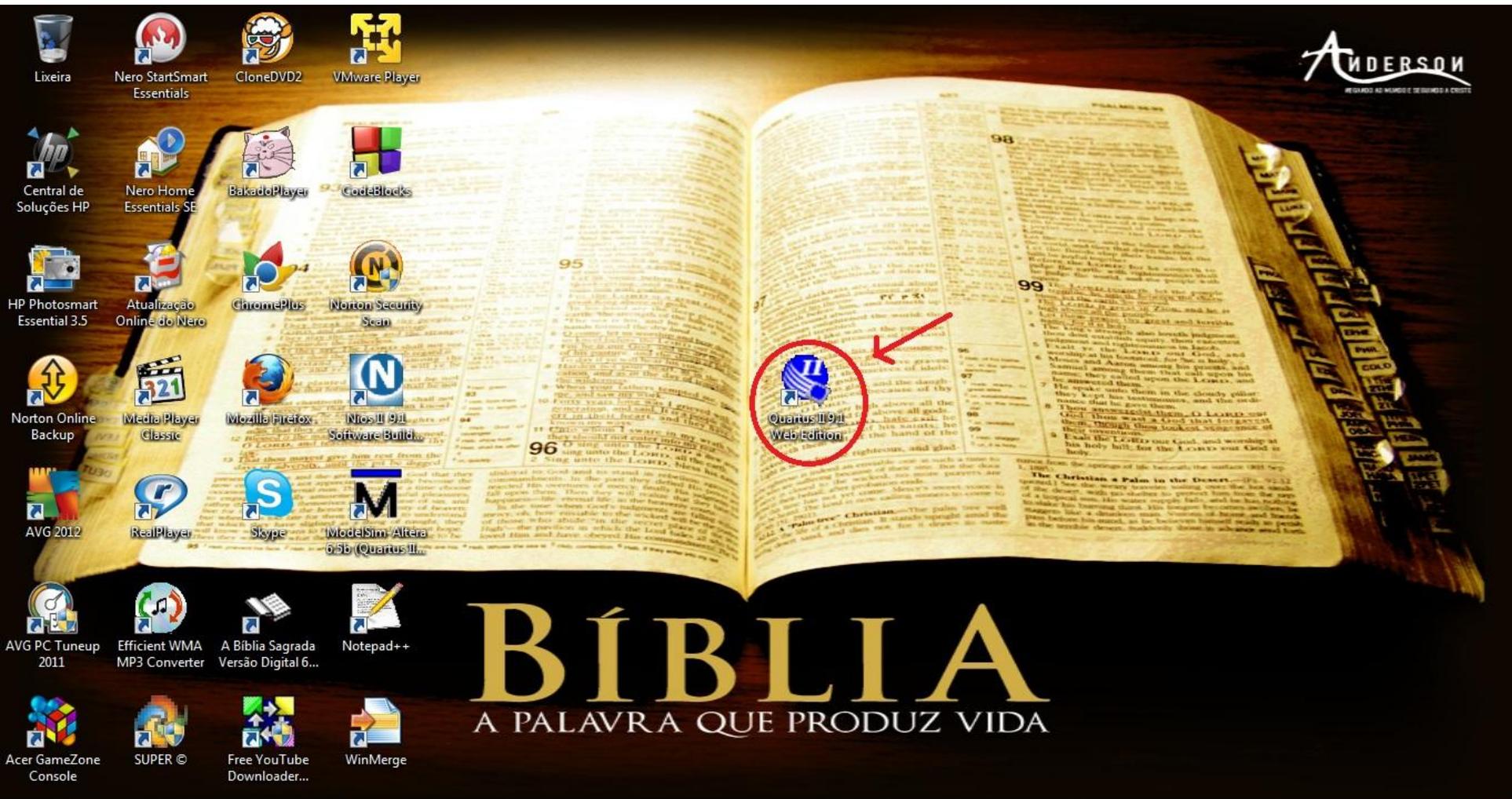
- Tutorial Quartus II - Aprendendo as Ferramentas Básicas

Monitoria SD 2011.2

Daniel Alexandro/Reniê Delgado/Vanessa Ogg

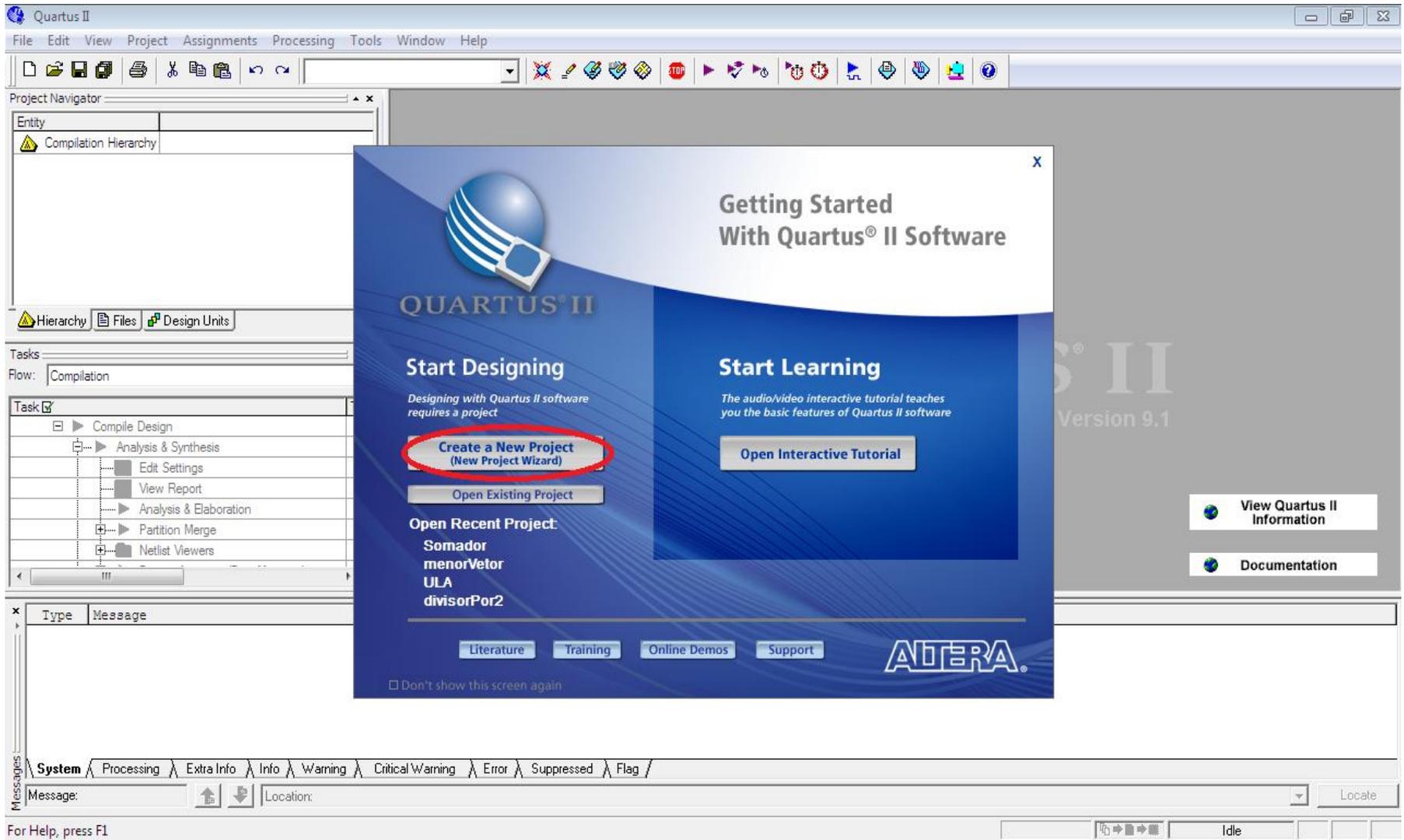
Editado por
(DARA)

1 - Abrindo o Quartus...



2 - Inicializando...

- Seleccione “Create a New Project (New Project Wizard)”



The screenshot displays the Quartus II software interface. A dialog box titled "Getting Started With Quartus II Software" is open in the center. The dialog box has a blue background with the Quartus II logo at the top left. It is divided into two main sections: "Start Designing" and "Start Learning".

Start Designing
Designing with Quartus II software requires a project

- Create a New Project (New Project Wizard)** (highlighted with a red circle)
- Open Existing Project

Open Recent Project
Somador
menorVetor
ULA
divisorPor2

Start Learning
The audio/video interactive tutorial teaches you the basic features of Quartus II software

- Open Interactive Tutorial

At the bottom of the dialog box, there are buttons for "Literature", "Training", "Online Demos", and "Support". The Atera logo is visible in the bottom right corner of the dialog box. A checkbox at the bottom left of the dialog box says "Don't show this screen again".

The background interface shows the Quartus II menu bar (File, Edit, View, Project, Assignments, Processing, Tools, Window, Help) and a toolbar. The Project Navigator on the left shows a "Compilation Hierarchy" tree. The Tasks pane on the left shows a "Compile Design" task with sub-tasks like "Analysis & Synthesis", "View Report", "Analysis & Elaboration", "Partition Merge", and "Netlist Viewers". The Messages pane at the bottom shows a "System" message.

3 - Criando um Novo Projeto...

New Project Wizard: Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?

C:\Users\Gustavo\Desktop\Gustavo\Faculdade\Sistemas Digitais

What is the name of this project?

Primeira_aula

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

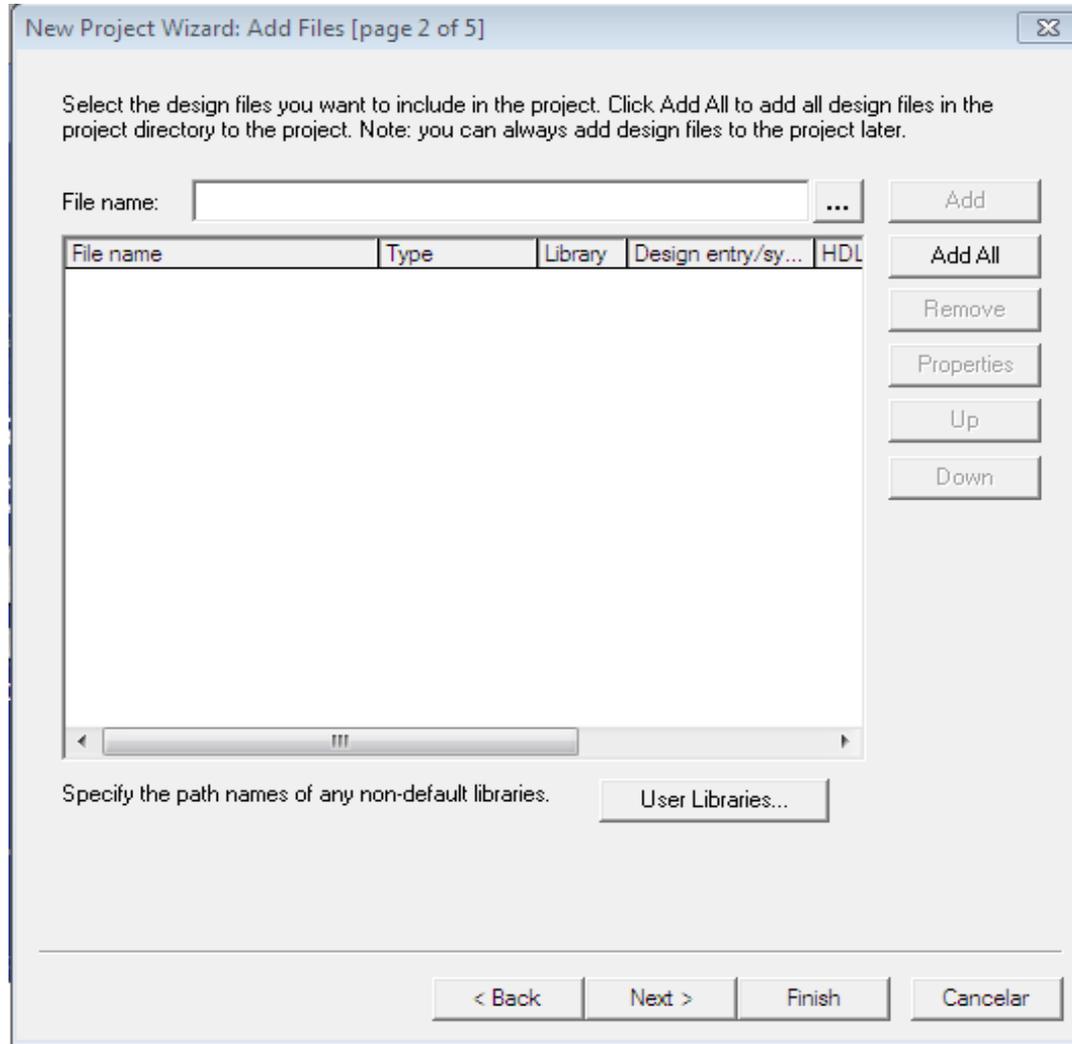
Primeira_aula

Use Existing Project Settings ...

< Back Next > Finish Cancelar

3 - Criando um Novo Projeto...

- Nesta página não é necessário adicionar nada. Serve apenas para adicionar arquivos de outros projetos.



3 - Criando um Novo Projeto...

- Nesta página deve-se alterar a caixa “Family” para “Cyclone II”, que é a placa de prototipação que será utilizada futuramente nos projetos. Abaixo, em Available Devices, são os modelos da placa. Não é necessário se preocupar com isto por enquanto.

New Project Wizard: Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Device family

Family: Cyclone II

Devices: All

Show in 'Available device' list

Package: Any

Pin count: Any

Speed grade: Any

Show advanced devices

HardCopy compatible only

Target device

Auto device selected by the Filter

Specific device selected in 'Available devices' list

Available devices:

Name	Core v...	LEs	User I/...	Memor...	Embed...	PLL
EP2C5AF256A7	1.2V	4608	158	119808	26	2
EP2C5AF256I8	1.2V	4608	158	119808	26	2
EP2C5AT144A7	1.2V	4608	89	119808	26	2
EP2C5F256C6	1.2V	4608	158	119808	26	2
EP2C5F256C7	1.2V	4608	158	119808	26	2
EP2C5F256C8	1.2V	4608	158	119808	26	2
EP2C5F256I8	1.2V	4608	158	119808	26	2
EP2C5Q208C7	1.2V	4608	142	119808	26	2
EP2C5Q208C8	1.2V	4608	142	119808	26	2

Companion device

HardCopy:

Limit DSP & RAM to HardCopy device resources

< Back Next > Finish Cancelar

3 - Criando um Novo Projeto...

- Nesta página, também não é necessário modificar nada!

New Project Wizard: EDA Tool Settings [page 4 of 5]

Specify the other EDA tools -- in addition to the Quartus II software -- used with the project.

Design Entry/Synthesis

Tool name: <None>

Format:

Run this tool automatically to synthesize the current design

Simulation

Tool name: <None>

Format:

Run gate-level simulation automatically after compilation

Timing Analysis

Tool name: <None>

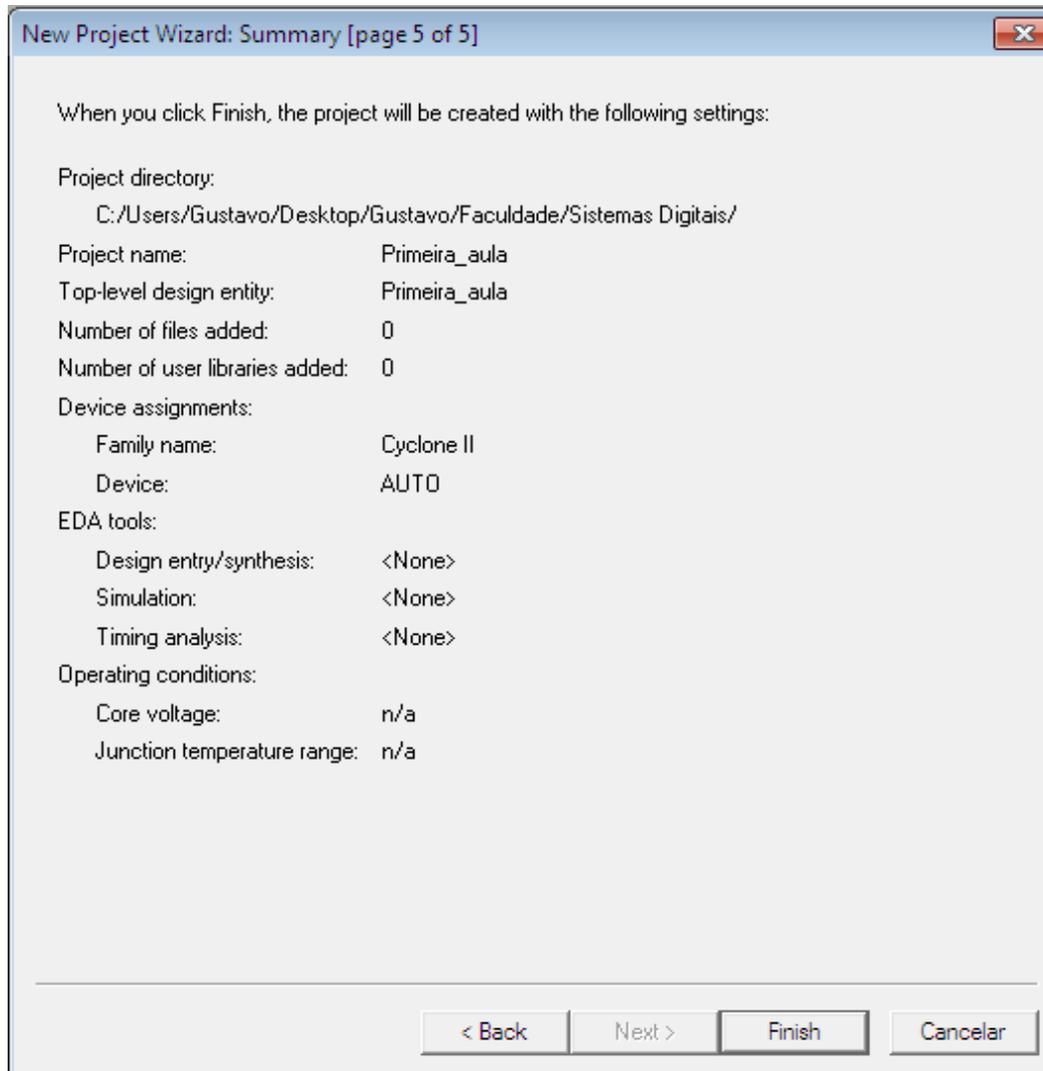
Format:

Run this tool automatically after compilation

< Back Next > Finish Cancelar

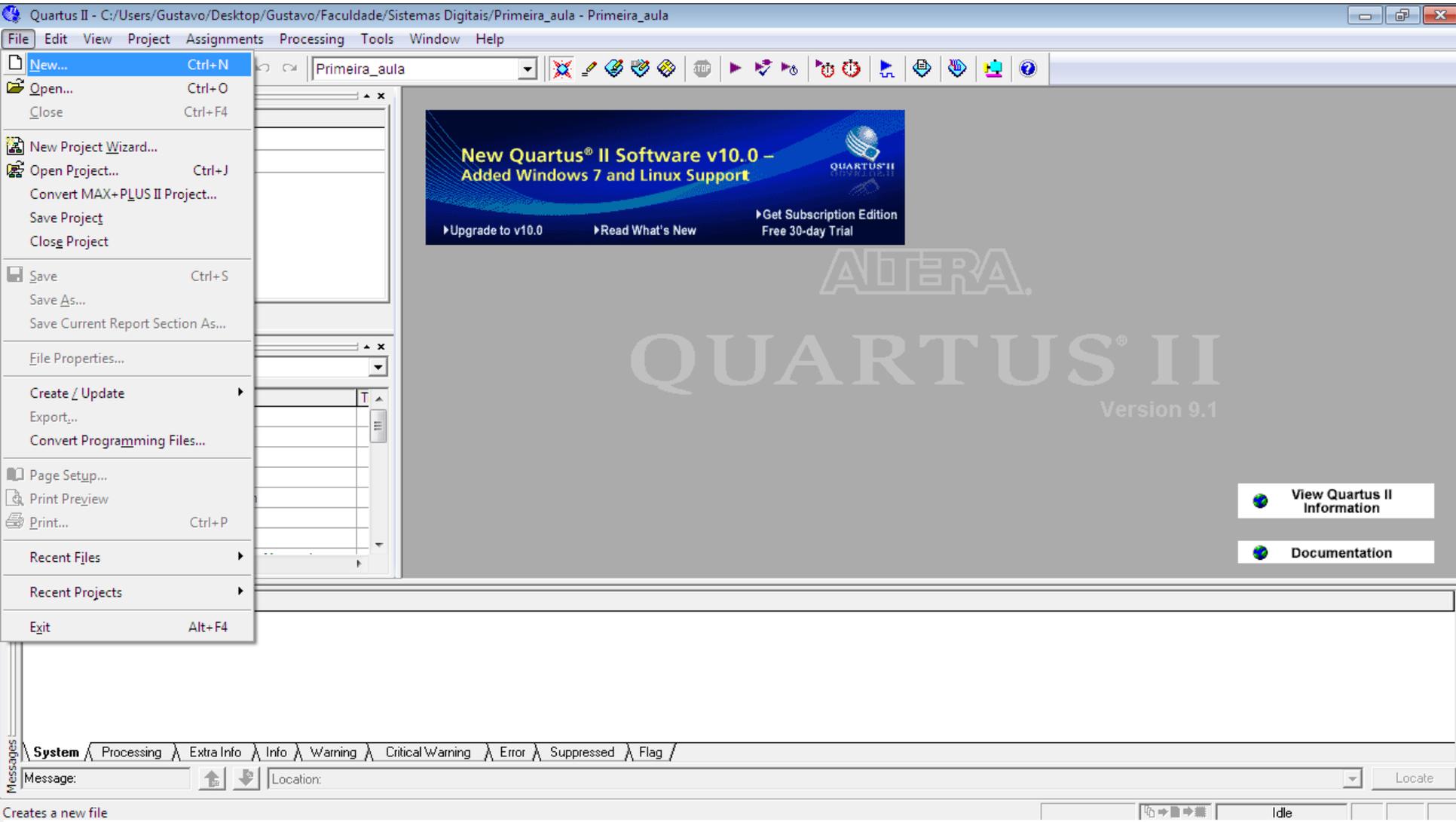
3 - Criando um Novo Projeto...

- Agora, clique em “Finish” e finalize a criação do projeto!



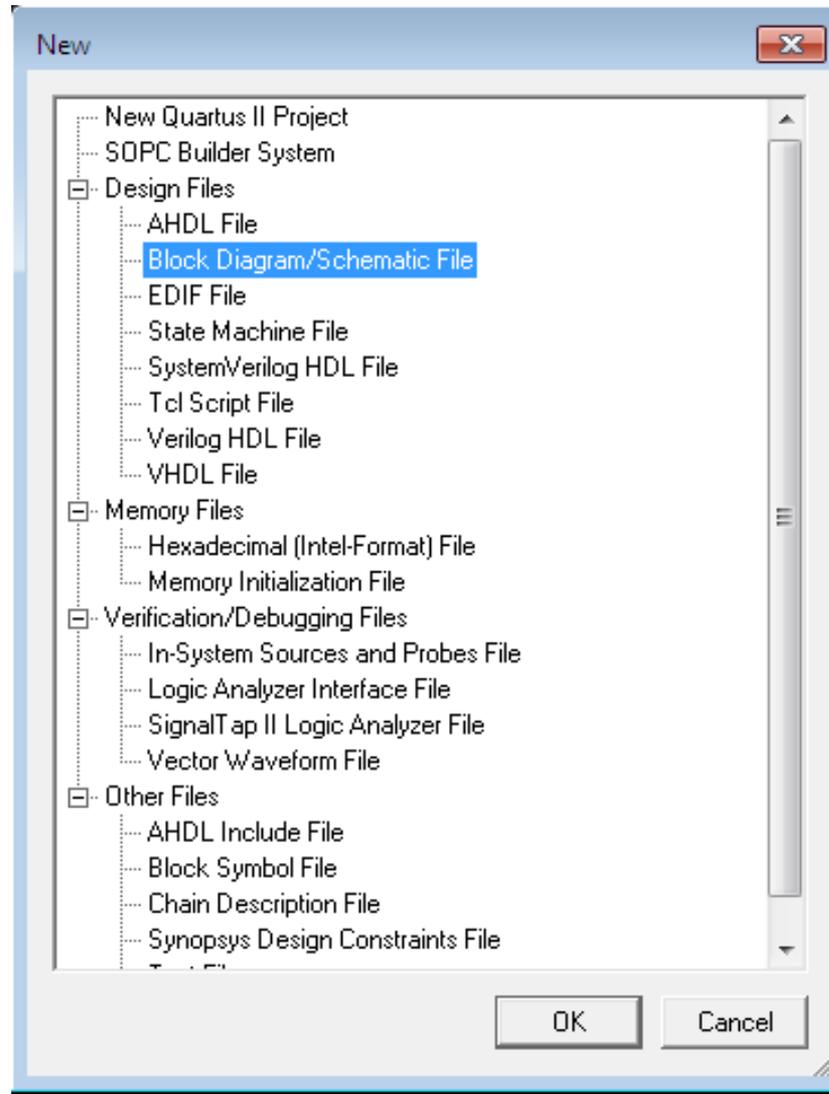
4 - Criando um Novo Bloco Diagrama...

- Vá em [FILE -> NEW]



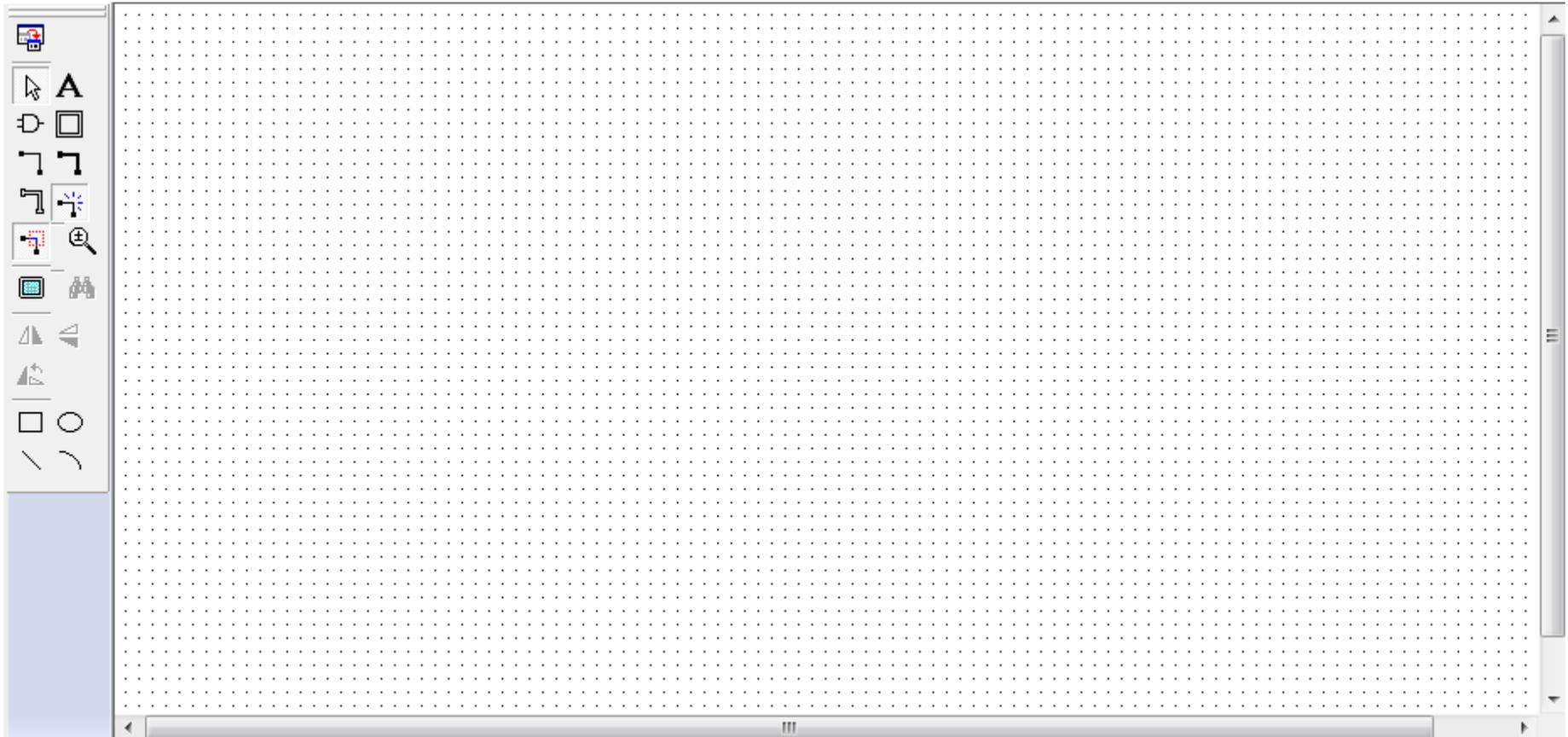
4 - Criando um Novo Bloco Diagrama...

- Vá em [FILE -> NEW -> BLOCK DIAGRAM/SCHEMATIC FILE]



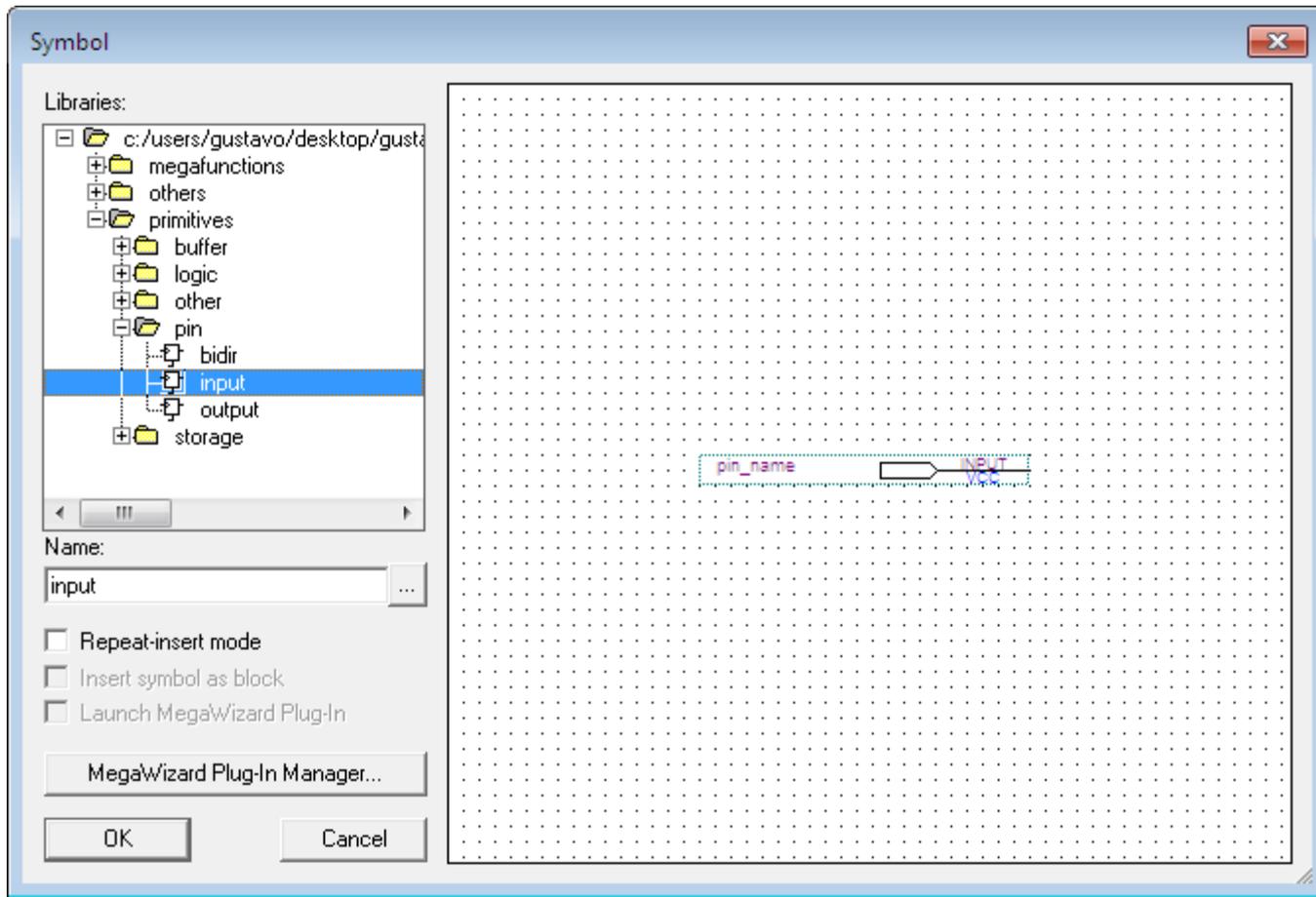
4 - Criando um Novo Bloco Diagrama...

- Agora você pode se divertir a vontade!



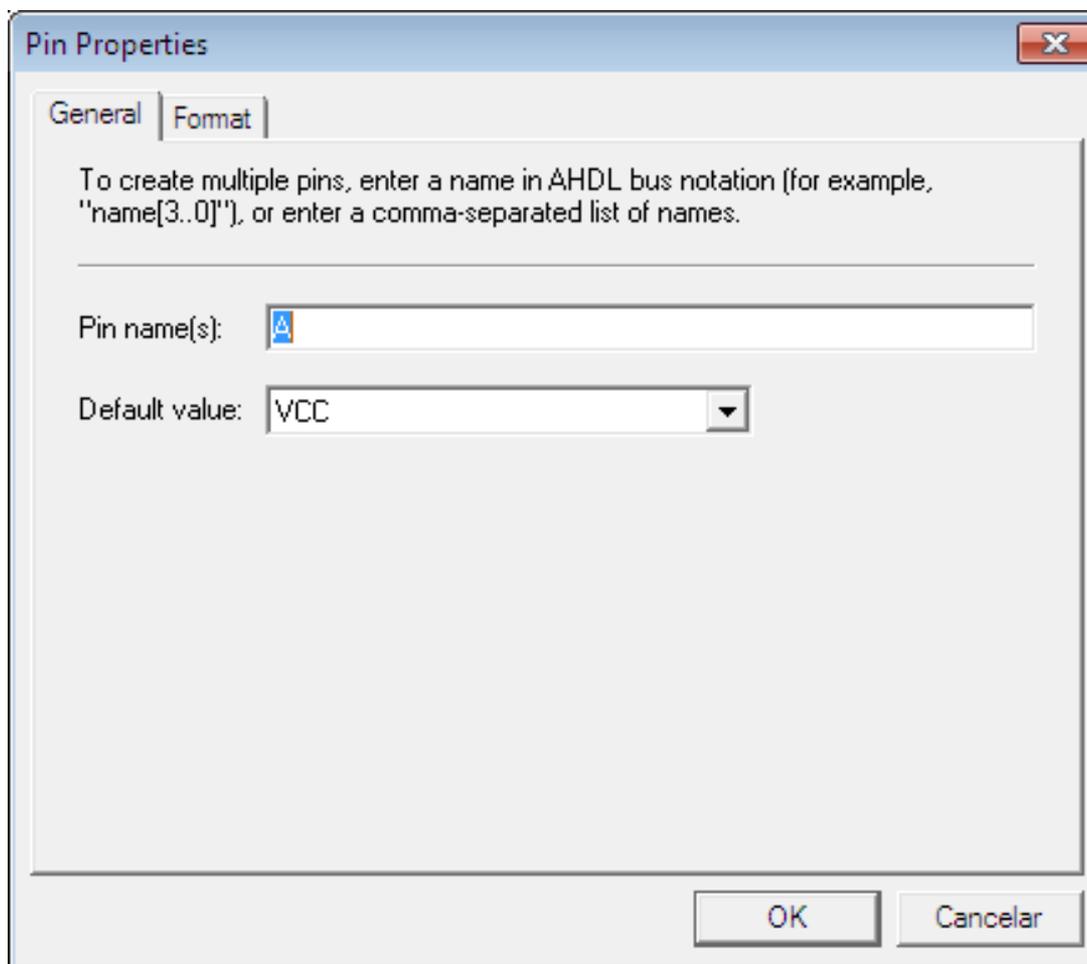
5 - Construindo um Circuito...

- Para começar, vamos construir um circuito simples ($X = A.B$). Clique duas vezes na tela branca, selecione a pasta “primitives” e depois a pasta “pin”. Agora, você pode selecionar um input ou output (entrada ou saída).



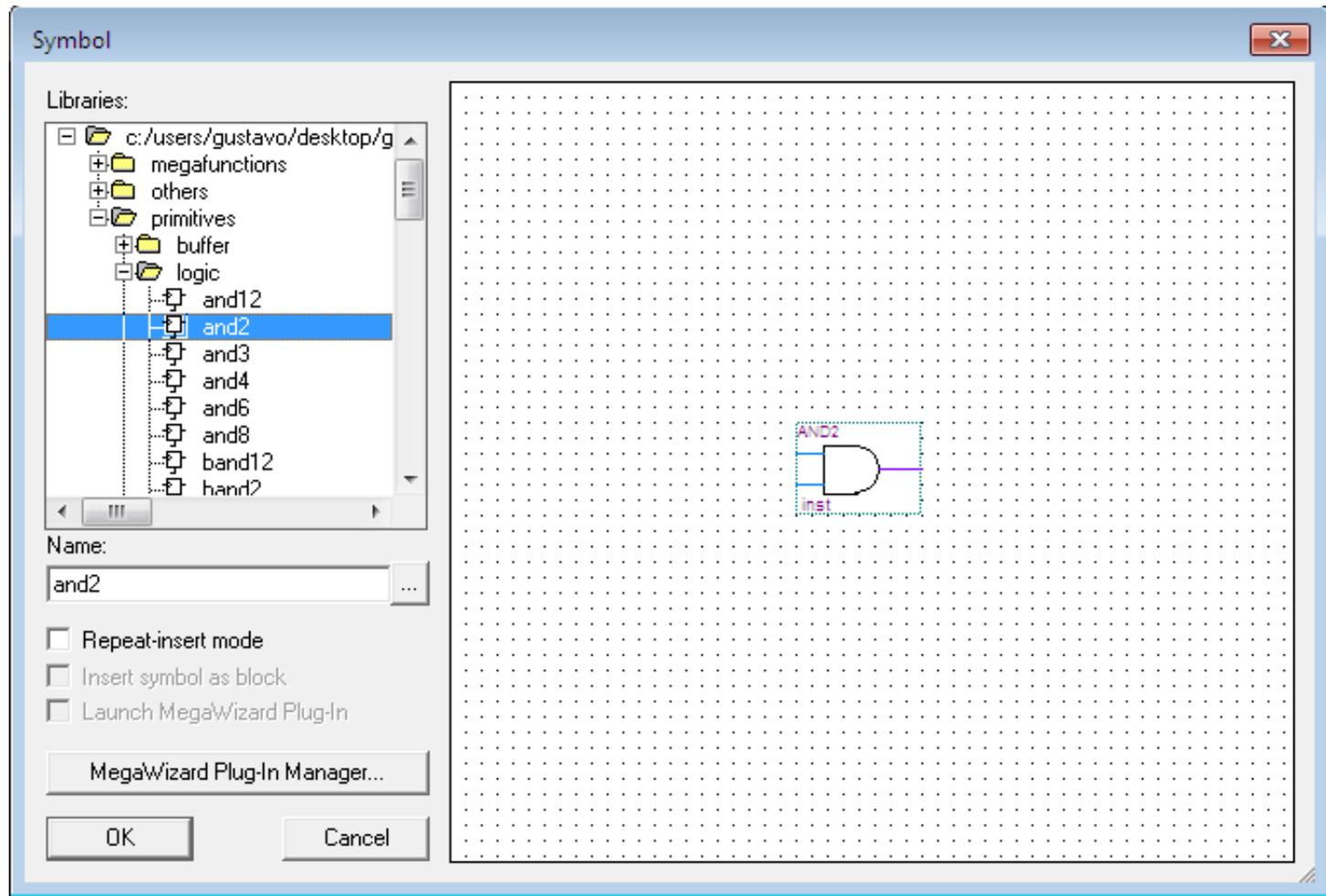
5 - Construindo um Circuito...

- Clique duas vezes no input ou output e nomeie suas entradas e saídas. Na caixa “Default Value” existem duas opções: GND e VCC. Estes são os valores iniciais do “pin” [GND (Ground) = 0 e VCC = 1].



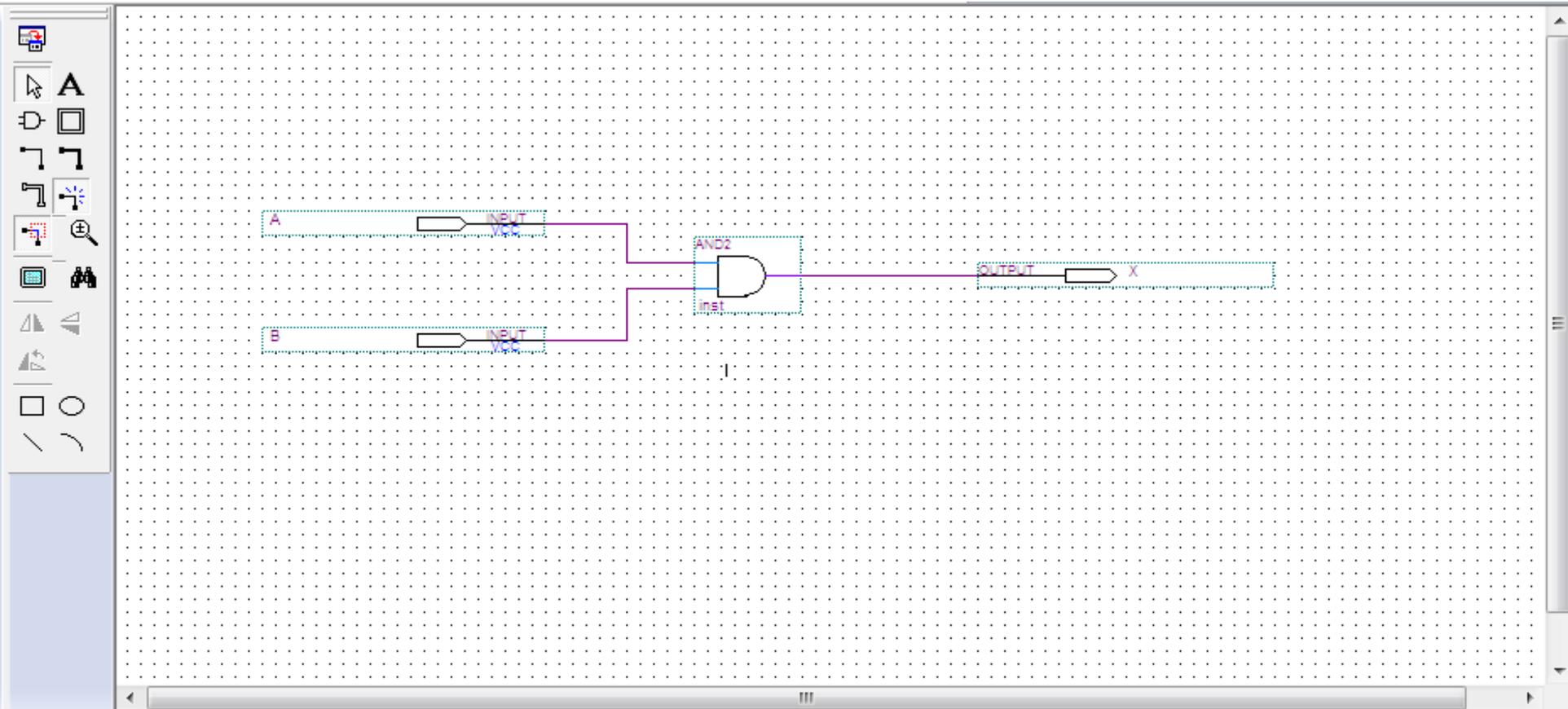
5 - Construindo um Circuito...

- Agora, na mesma pasta “primitives”, abra a pasta “logic” e escolha a porta lógica. No caso do nosso circuito, será a porta “and2” (o “2” no final da palavra representa a quantidade de entradas).



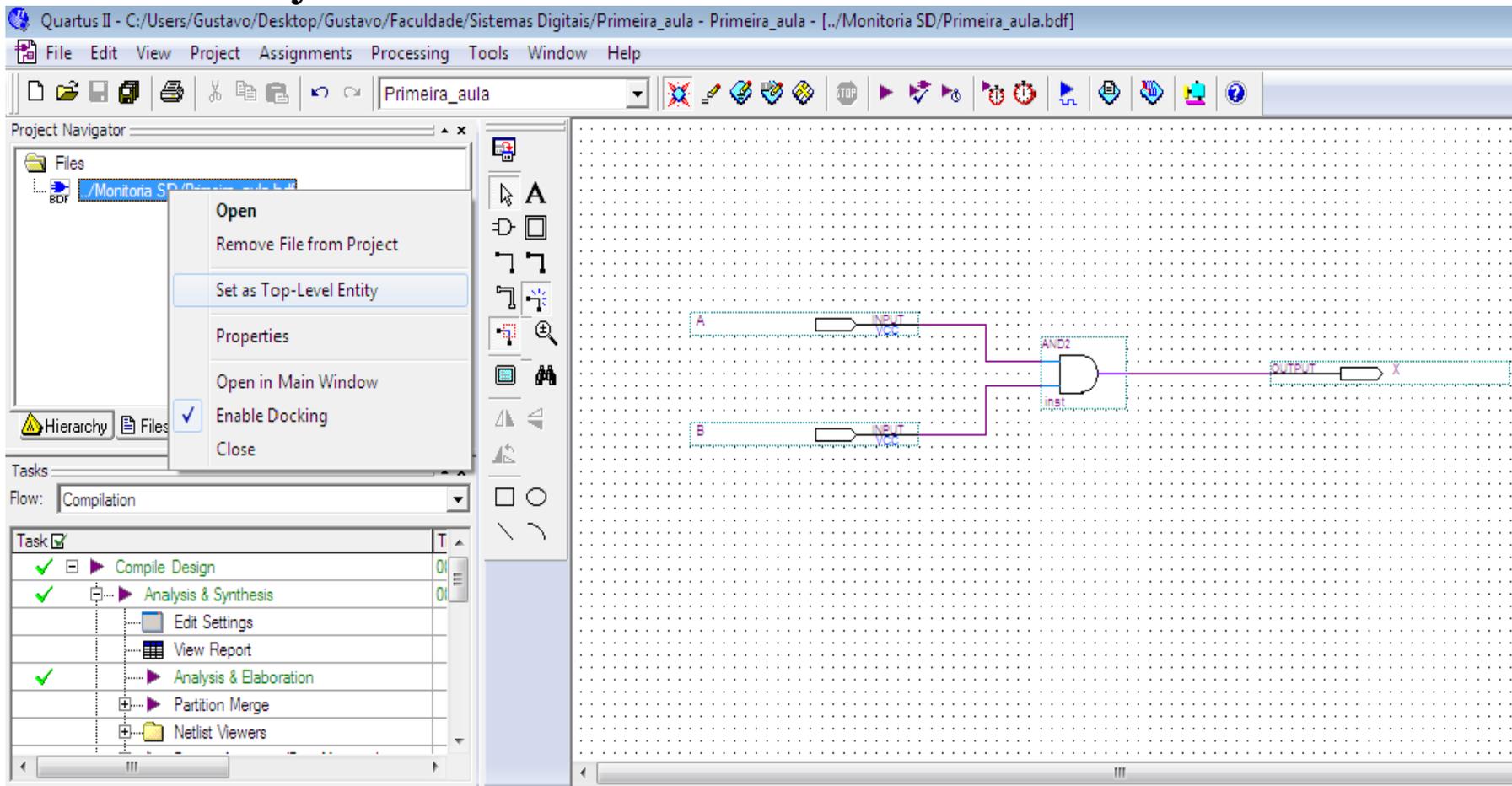
5 - Construindo um Circuito...

- Agora, clicando e arrastando com o mouse, ligue as entradas e saídas com a porta lógica. (CUIDADO! Gambiarras podem resultar em colisão de fios e ocasionar erros na compilação.)



6 - Compilando...

- Para começar, salve o arquivo! Logo em seguida vá para “Files” e clique com o botão direito no arquivo disponível (que neste caso é o arquivo que você salvou). Selecione “Set As Top Level Entity”.



6 - Compilando...

- Clique em “Start Compilation”

The screenshot displays the Quartus II software interface. The main window shows a logic design with two input signals, A and B, each connected to a NOT gate. The outputs of these NOT gates are connected to the inputs of an AND gate labeled AND2 (instance INST). The output of the AND gate is connected to a signal labeled OUTPUT, which is then connected to a pin labeled X.

The Project Navigator on the left shows the project hierarchy with the following table:

Entity	Logic Cells	Dedicated Logic Registers
Cyclone II: AUTO		
Prime... BDF	1 (1)	0 (0)

The Tasks window at the bottom left shows the compilation process with the following table:

Task	T
Compile Design	OK
Analysis & Synthesis	OK
Edit Settings	
View Report	
Analysis & Elaboration	
Partition Merge	
Netlist Viewers	

The Start Compilation button is highlighted in the top toolbar.

6 - Compilando...

- Você verá isto como resultado! Não se preocupe com os “warnings”, eles são inevitáveis!

The image shows a screenshot of the Quartus II software interface. On the left, a tree view displays the compilation report structure, including folders for Analysis & Synthesis, Fitter, Assembler, and Timing Analyzer. The main window displays the 'Flow Summary' report, which provides details about the compilation process, including the status, version, revision name, and resource usage.

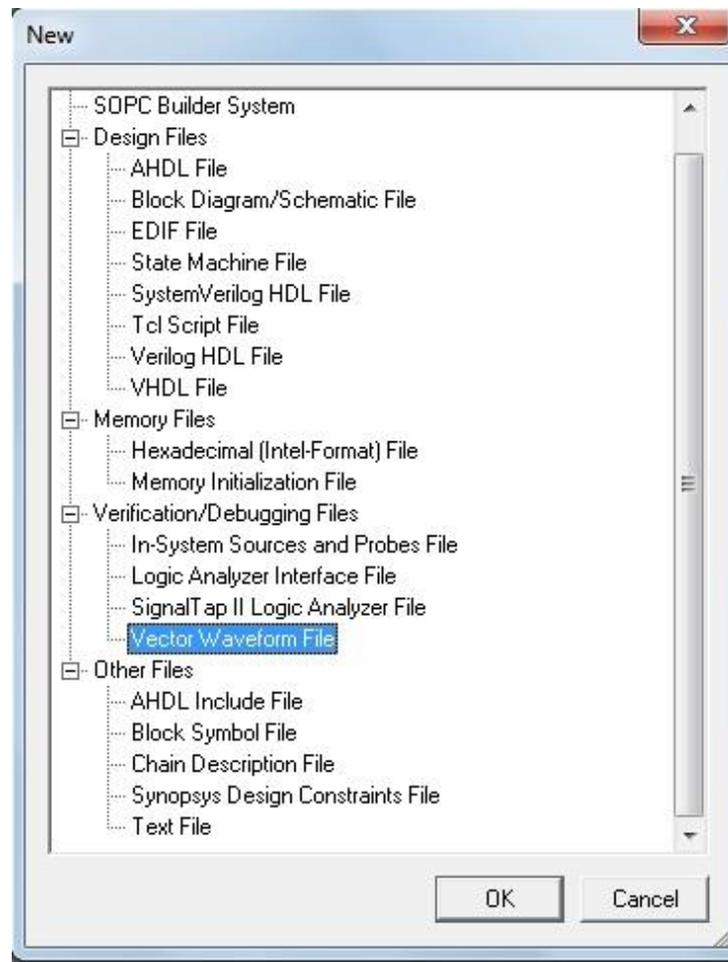
Flow Summary

Flow Status	Successful - Mon Aug 23 21:59:49 2010
Quartus II Version	9.1 Build 304 01/25/2010 SP 1 SJ Web Edition
Revision Name	Primeira_aula
Top-level Entity Name	Primeira_aula
Family	Cyclone II
Met timing requirements	Yes
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Total registers	0 / 4,608 (0 %)
Total 9-bit elements	0
Total 16-bit elements	3 / 89 (3 %)
Total 24-bit elements	0
Total 32-bit elements	0 / 119,808 (0 %)
Total 48-bit elements	0 / 26 (0 %)
Total 64-bit elements	0 / 2 (0 %)
Device	EP2C5T144C6
Compilation Step	Final

A dialog box titled 'Quartus II' is overlaid on the main window, displaying an information icon and the message: 'Full Compilation was successful (4 warnings)'. An 'OK' button is visible at the bottom of the dialog box.

7 - Simulando...

- Agora, a parte mais importante: os testes. A compilação não significa muita coisa, o importante mesmo é a simulação. Vamos aprender a gerar um “waveform” (algo semelhante à tabela verdade).



7 - Simulando...

- Após clicar duas vezes no box esquerdo do “arquivo de waveform”, clique em “Node Finder...”.

The screenshot shows a waveform viewer interface. At the top, the Master Time Bar is set to 13.5 ns, the Pointer is at 450 ps, and the Interval is -13.05 ns. The waveform plot shows a signal with a vertical line at 13.5 ns. A red arrow points to the left side of the plot area with the text "DOIS CLICKS AQUI!". A dialog box titled "Insert Node or Bus" is open in the foreground, with the following fields and options:

Name	Value at 13.5 ns

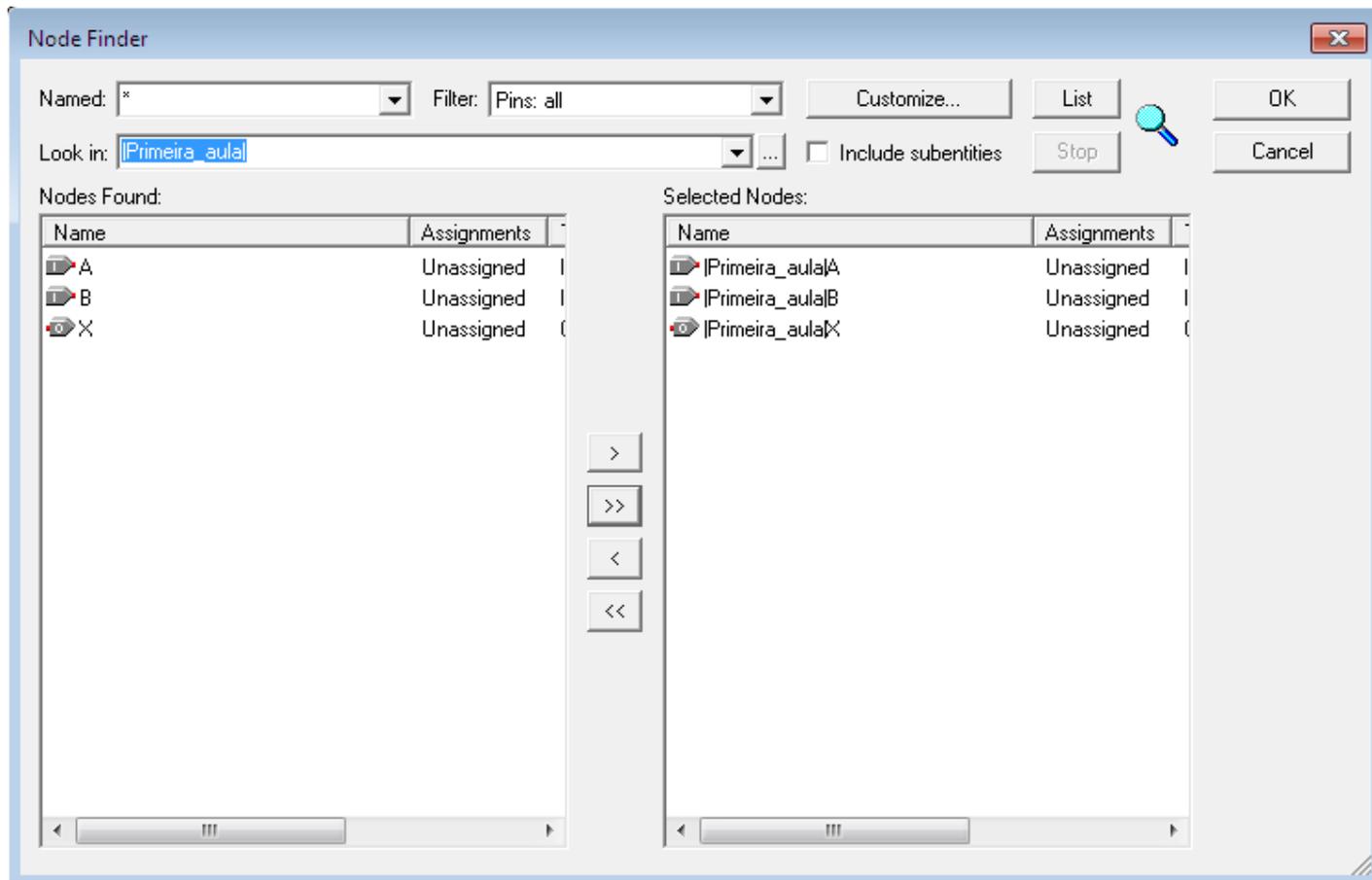
Dialog Box "Insert Node or Bus":

- Name:
- Type: INPUT
- Value type: 9-Level
- Radix: ASCII
- Bus width: 1
- Start index: 0
- Display gray code count as binary count

Buttons: OK, Cancel, Node Finder...

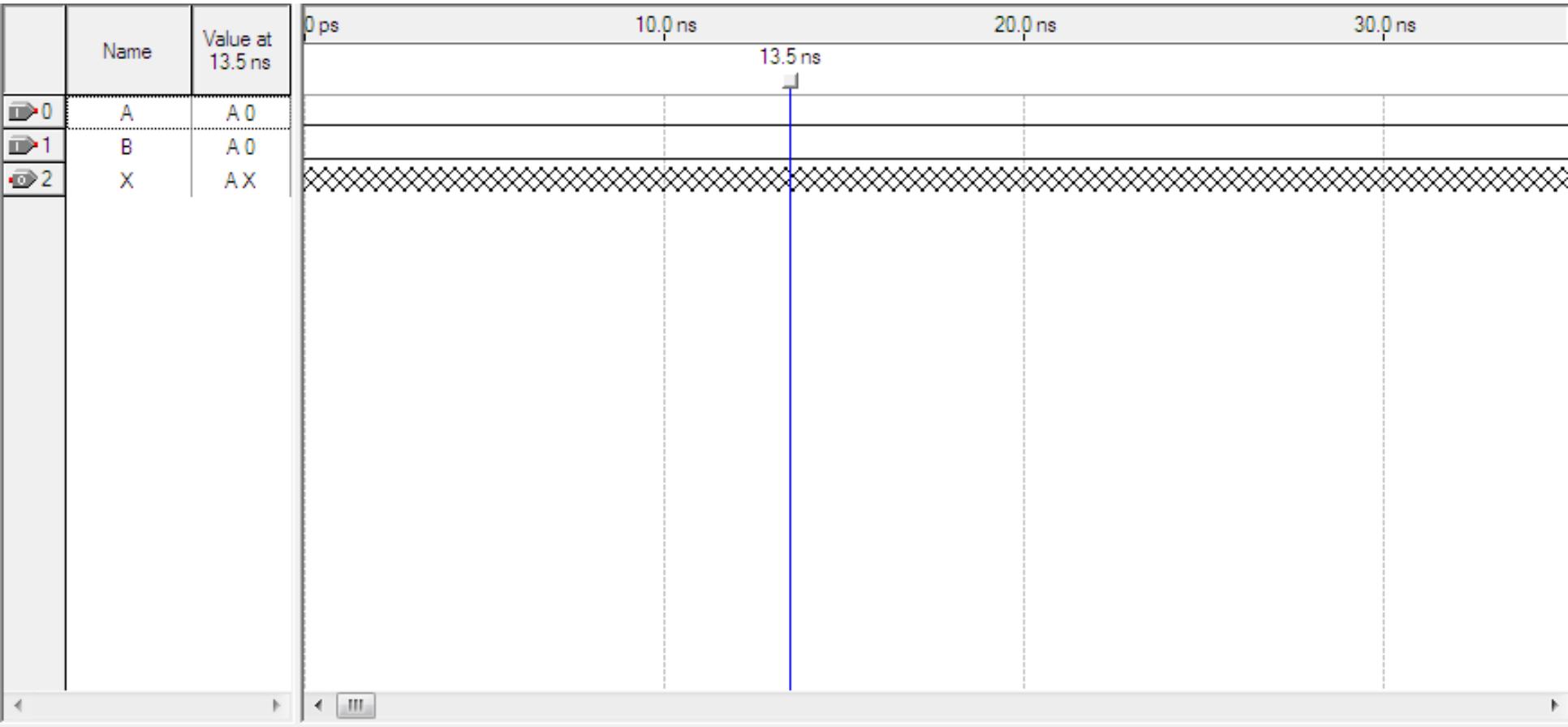
7 - Simulando...

- Em seguida, clique em “List” e depois clique em “>>”. Assim você seleciona todos os pinos para serem simulados. Caso não queira todos (o que não é o caso) clique em “>”.



7 - Simulando...

- Clique nos “OK’s” que seguirão e você verá isto:



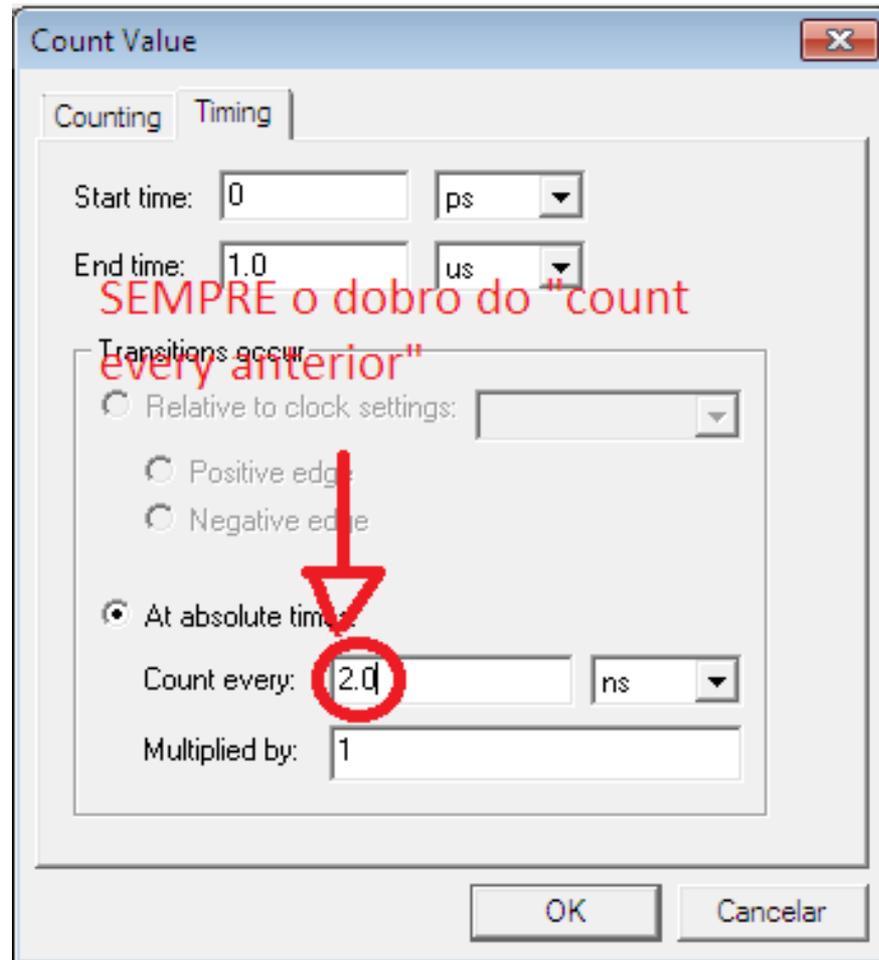
7 - Simulando...

- Agora vamos setar os valores das entradas e finalmente simular, para obter os valores da saída. Clique em [COUNT VALUE -> TIMING -> COUNT EVERY...]

The screenshot displays the Xilinx ISE software interface. On the left, the Project Navigator shows the design hierarchy with 'A_maiores_B' selected. The main window shows a timing diagram for signal 'B' with a Master Time Bar of 12.2 ns. A 'Count Value' dialog box is open, showing the 'Timing' tab. The 'Start time' is set to 0 ps and the 'End time' is 1.0 us. Under 'Transitions occur', the 'At absolute times' radio button is selected, and the 'Count every' field is set to 1.0 ns, which is circled in red. The 'Multiplied by' field is set to 1. The dialog box has 'OK' and 'Cancel' buttons. The bottom status bar shows 'For Help, press F1' and 'Idle NUM'.

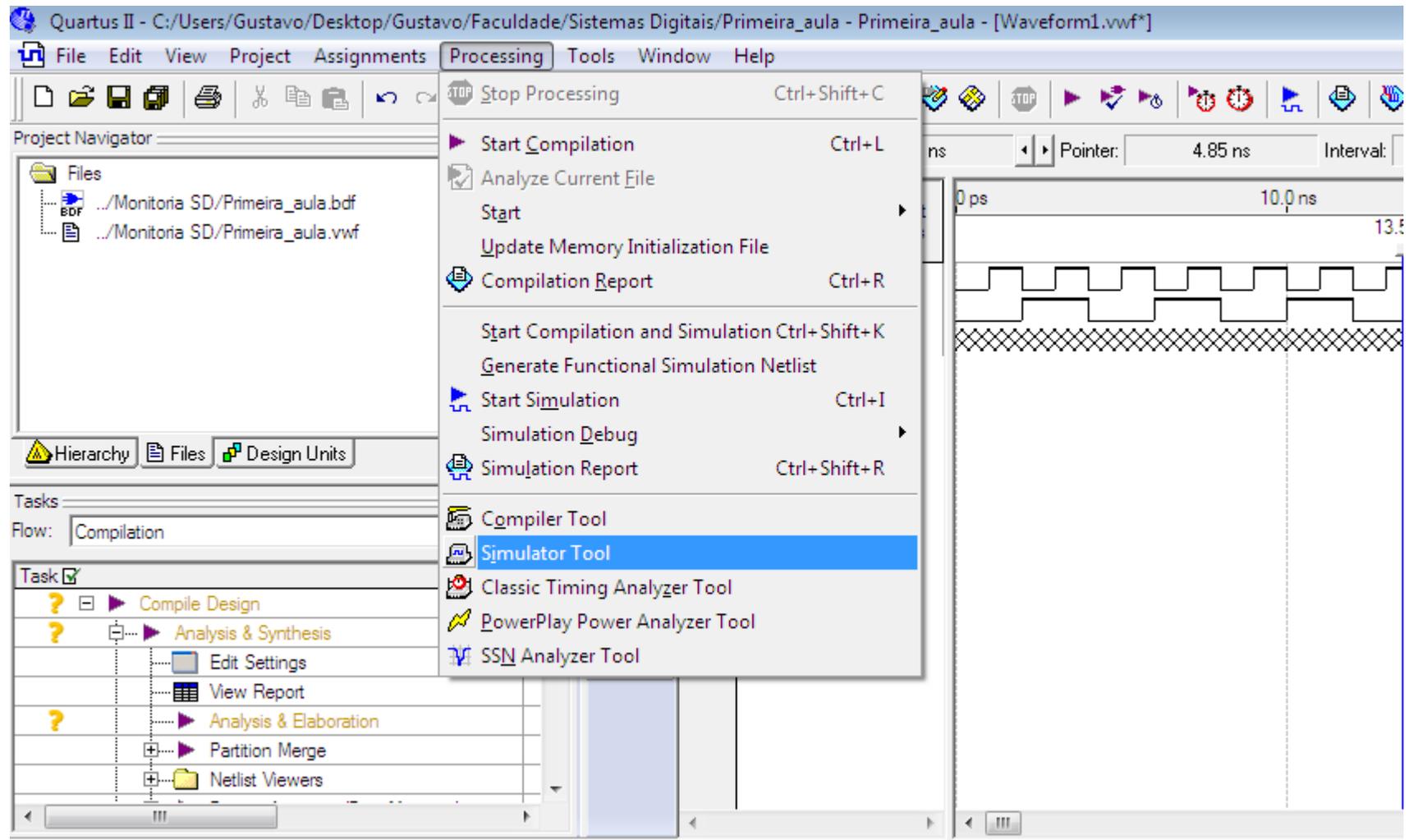
7 - Simulando...

- Faça a mesma coisa para o próximo input, mas SEMPRE com o valor do “Count every” setado como o dobro do valor do “Count every” anterior.



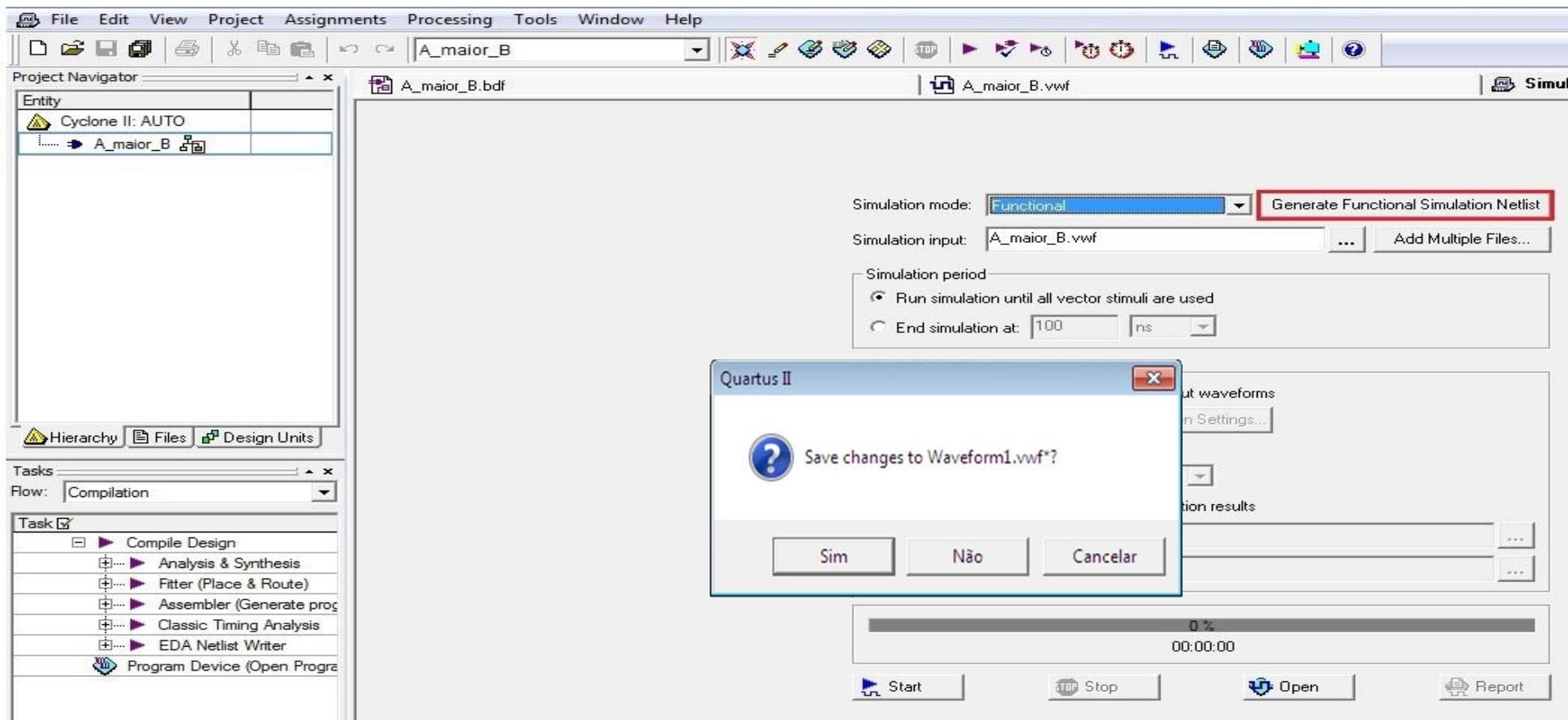
7 - Simulando...

- Agora vá em [PROCESSING -> SIMULATOR TOOL].



7 - Simulando...

- Em seguida, altere a caixa “Simulation Mode” para “Functional” (Assim ele irá gerar resultados funcionais e práticos para sua simulação. Isto é muito importante!). Depois clique em “Generate Functional Simulation Netlist” e salve o arquivo.



7 - Simulando...

The screenshot displays the Quartus II software interface. The title bar reads "Quartus II - C:/Users/Gustavo/Desktop/Gustavo/Faculdade/Sistemas Digitais/Primeira_aula - Primeira_aula - [Simulator Tool]". The menu bar includes "File", "Edit", "View", "Project", "Assignments", "Processing", "Tools", "Window", and "Help". The toolbar contains various icons for file operations and simulation control.

The "Project Navigator" on the left shows a file tree with "Files" containing "Primeira_aula.bdf" and "Primeira_aula.vwf". Below it are tabs for "Hierarchy", "Files", and "Design Units".

The "Tasks" pane on the left shows a "Flow: Compilation" task. The task list includes:

- Compile Design
- Analysis & Synthesis
 - Edit Settings
 - View Report
- Analysis & Elaboration
 - Partition Merge
 - Netlist Viewers

The main simulation configuration area on the right includes:

- Simulation mode: Functional (dropdown menu)
- Simulation input: (text field with "Add Multiple Files..." button)
- Simulation period:
 - Run simulation until all vector stimuli are used
 - End simulation at: 100 ns (text field and dropdown)
- Simulation options:
 - Automatically add pins to simulation output waveforms
 - Check outputs (with "Waveform Comparison Settings..." button)

A "Generate Functional Simulation Netlist" button is visible in the top right of the configuration area.

In the foreground, a "Quartus II" dialog box displays an information icon and the message: "Functional Simulation Netlist Generation was successful". An "OK" button is at the bottom of the dialog.

At the bottom of the main window, a progress bar shows "0%" and a timer displays "00:00:00".

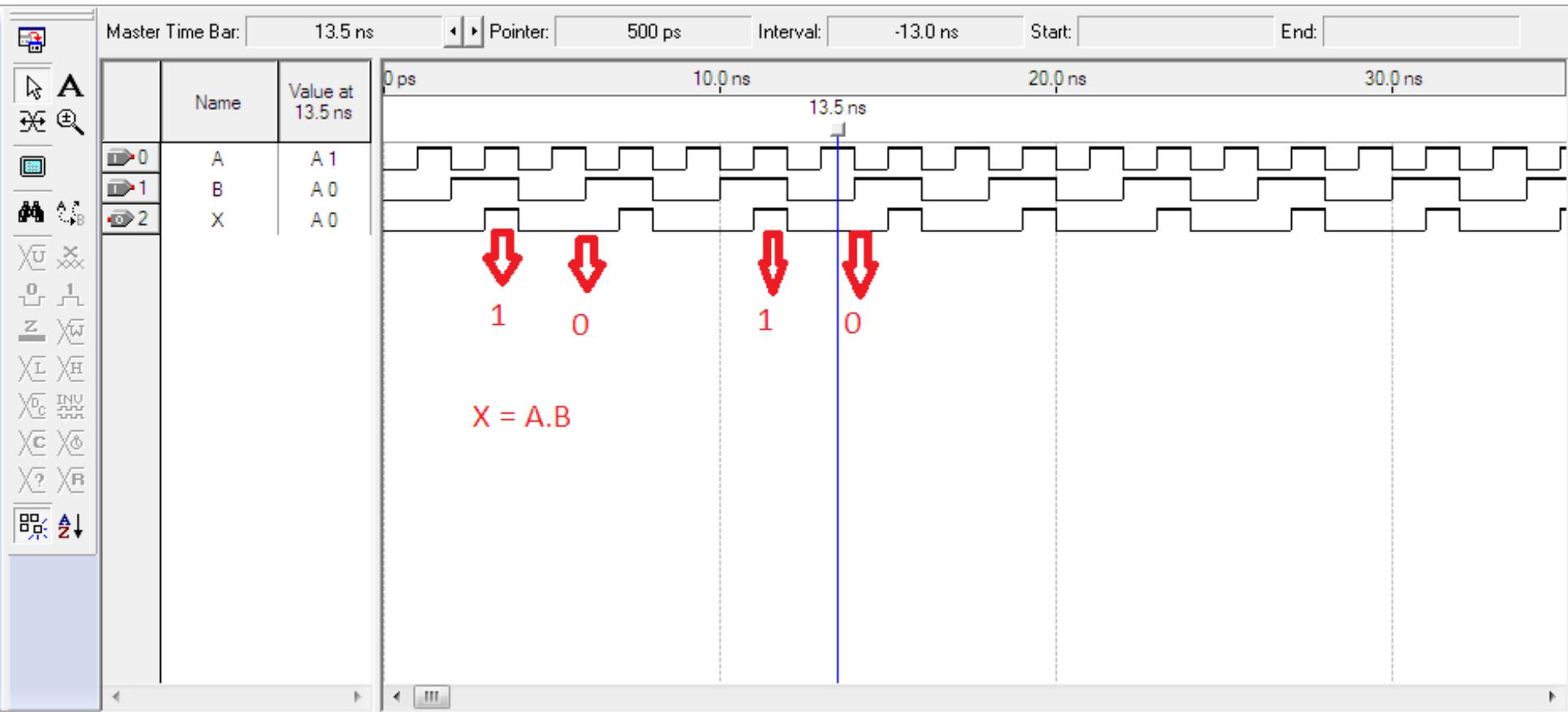
7 - Simulando...

1. Na caixa “Simulation input” selecione o arquivo que você salvou;
2. Mantenha a opção “Overwrite simulation...” marcada;
3. E por fim, simule!

The screenshot displays the Quartus II Simulator Tool interface. The main window is titled "Primeira_aula" and shows the simulation configuration panel. The "Simulation input" field is set to ".../Monitoria SD/Primeira_aula.vwf" and is highlighted with a red line and the number 1. The "Simulation period" section has the "Run simulation until all vector stimuli are used" option selected. The "Simulation options" section has the "Overwrite simulation input file with simulation results" option checked and highlighted with a red line and the number 2. The "Generate Signal Activity File" and "Generate VCD File" options are unchecked. The "Start" button at the bottom is circled in red and labeled with the number 3. The "Tasks" pane on the left shows the "Compile Design" task selected. The "Flow" dropdown is set to "Compilation". The "Tasks" list includes "Compile Design", "Analysis & Synthesis", "Edit Settings", "View Report", "Analysis & Elaboration", "Partition Merge", and "Netlist Viewers". The "Simulation input" field is set to ".../Monitoria SD/Primeira_aula.vwf". The "Simulation period" section has the "Run simulation until all vector stimuli are used" option selected. The "Simulation options" section has the "Overwrite simulation input file with simulation results" option checked. The "Generate Signal Activity File" and "Generate VCD File" options are unchecked. The "Start" button at the bottom is circled in red. The "Simulation progress" bar shows 0% completion and a time of 00:00:00. The "Stop", "Open", and "Report" buttons are also visible at the bottom.

7 - Simulando...

- Abaixo é mostrado o resultado da sua simulação!



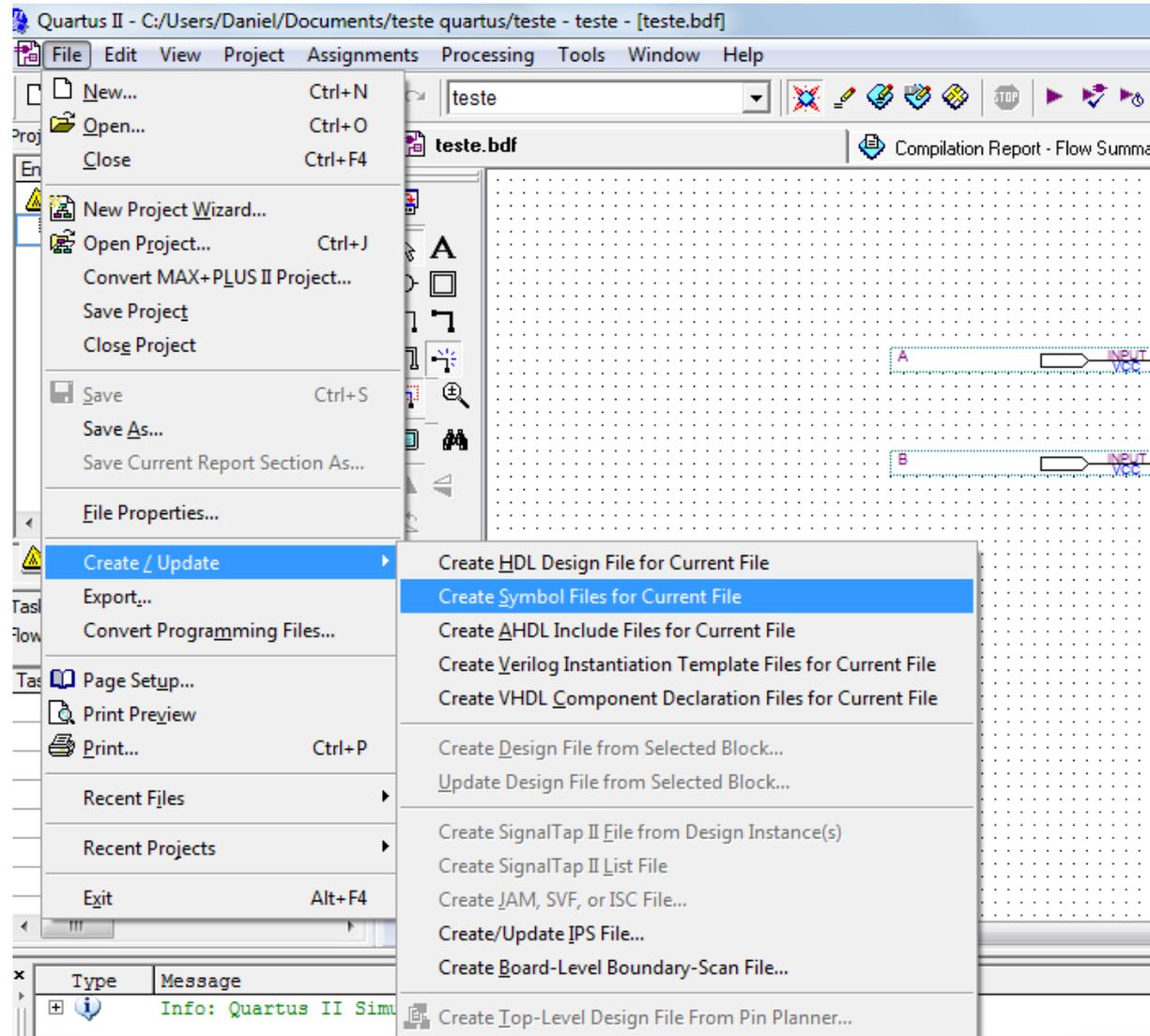
8 - Criando uma caixinha...

Muitas das vezes é necessário reduzir o tamanho do seu circuito para que o mesmo seja utilizado em outros projetos. Para isso, você pode criar uma “caixinha - preta” de um projeto já criado e reutilizá-la em outro projeto. Quando criada, a “caixinha-preta” terá as mesmas entradas e saídas do circuito. Você perceberá a importância disso quando começar a fazer o primeiro projeto de SD...

8 - Criando uma caixinha...

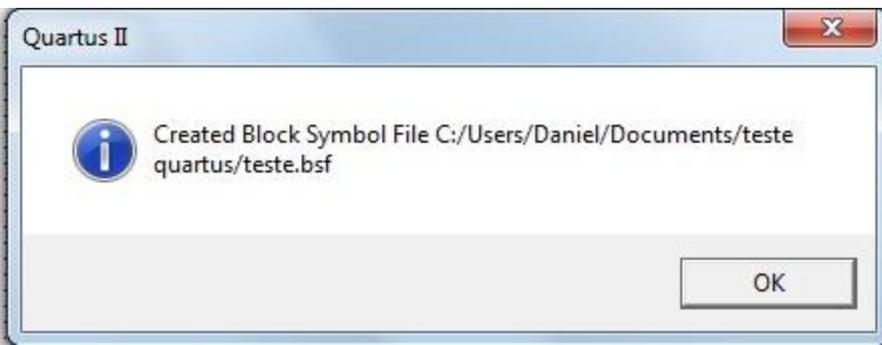
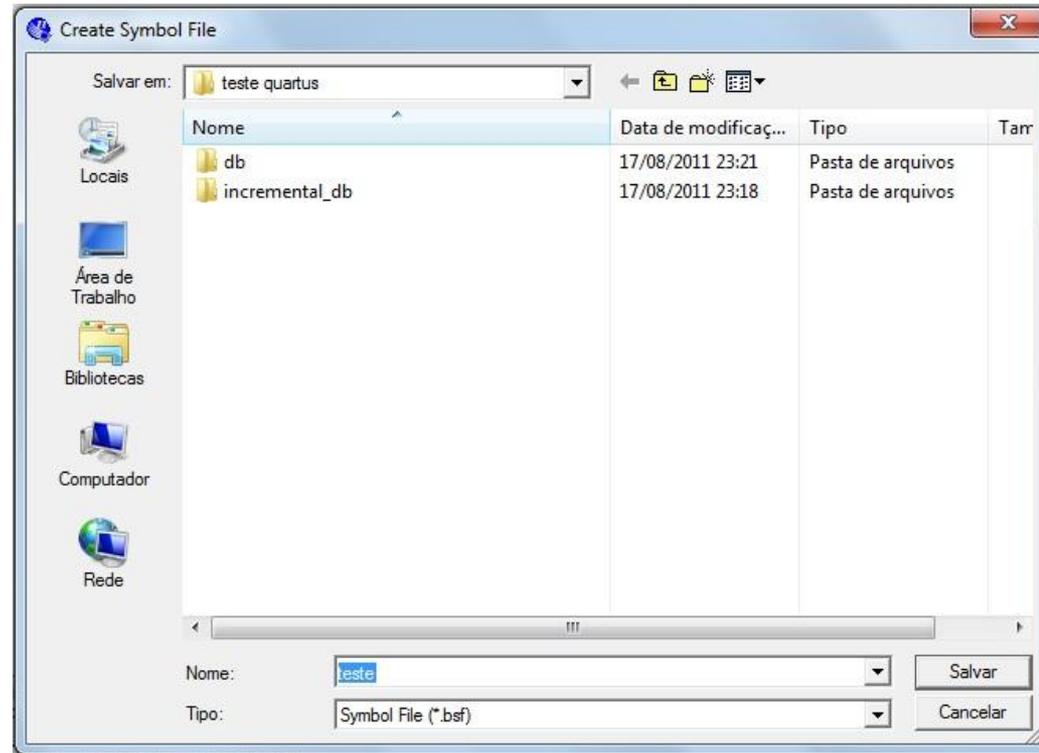
1. Para começar, vá em [FILE -> CREATE/UPDATE -> CREATE SYMBOL FILES FOR CURRENT FILE];

2. Lembrando que o arquivo com o circuito deve estar aberto no Quartus para que a criação surta efeito!



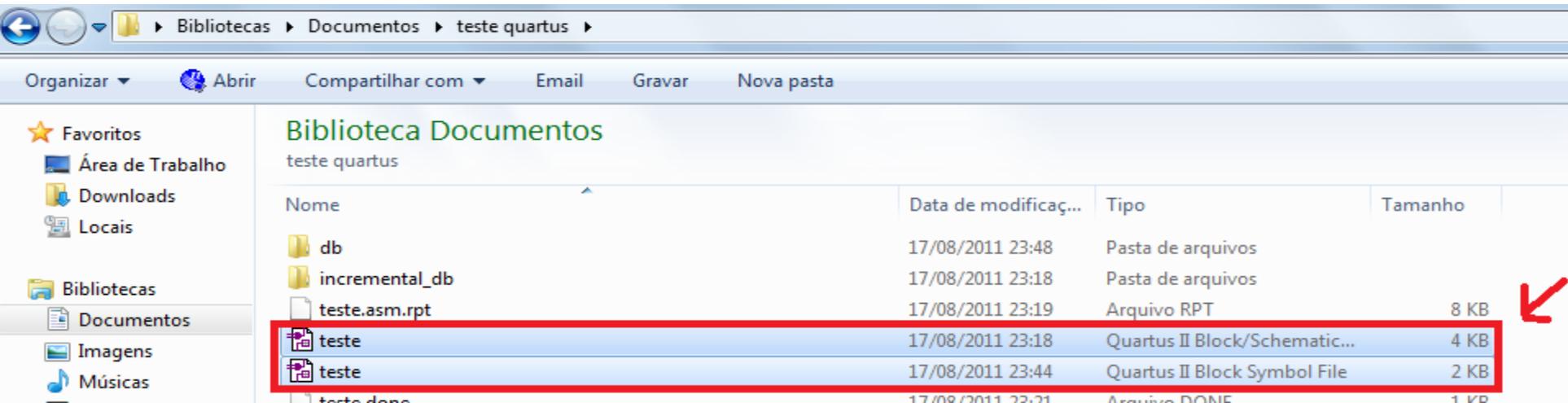
8 - Criando uma caixinha...

3. Aparecerá a Janela ao lado. Agora clique em “Salvar”;
4. Depois irá aparecer a mensagem abaixo informando que a caixinha foi criada. Clique em “OK”;
5. Pronto! Sua caixinha foi criada com sucesso!

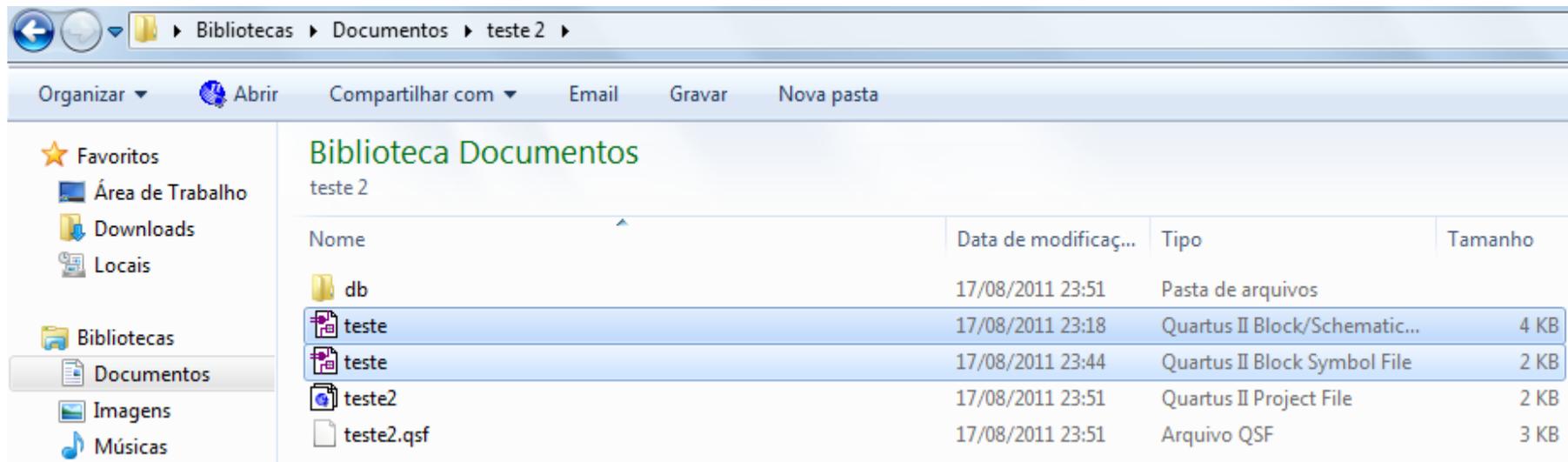


9 - Como usar a Caixinha?

1. Antes de mais nada, você precisa saber que com uma caixinha criada, você deverá usá-la em outro arquivo de diagrama de blocos (.BDF) que não seja o mesmo da caixinha... Então, para que você possa entender o funcionamento da caixinha, crie um novo diagrama de blocos! (FILE -> NEW -> BLOCK DIAGRAM/SCHEMATIC FILE);
2. A caixinha pode ser utilizada em outro projeto;
3. Caso você esteja utilizando a caixinha em outro projeto, você deverá procurar na pasta do projeto inicial, de onde proveio a caixinha, dois arquivos essenciais que serão utilizados para usar a caixinha. São eles: Quartus II Block/Schematic File (.BDF) e Quartus II Block Symbol File (.BSF). O “.BSF” representa o arquivo da caixinha! Cole esses arquivos na pasta do projeto criado recentemente!



9 - Como usar a Caixinha?



- Depois de colar os arquivos na pasta do projeto mais recente, que no caso acima é “teste2”, abra o novo projeto, dê dois cliques sobre o diagrama em blocos (onde você coloca as portas lógicas) e você perceberá que apareceu uma nova pasta chamada “Project”. Abra essa pasta e terá o arquivo da tão esperada caixinha! (que no nosso caso se chama “teste”)
- Dê dois cliques sobre o arquivo e PRONTO! Você tem uma espécie de uma nova porta lógica!

9 - Como usar a Caixainha?

The image shows the Quartus II software interface. The main window displays a design grid with a component instance named "teste" (inst) placed on it. The component has two input pins labeled "A" and "B" on the left, and one output pin labeled "S" on the right. A red arrow points to the component instance with the text "Dê dois Cliques aqui!".

The "Symbol" dialog box is open, showing the "Libraries" list with "teste" selected. The "Name" field contains "teste". The "Repeat-insert mode", "Insert symbol as block", and "Launch MegaWizard Plug-In" checkboxes are unchecked. The "MegaWizard Plug-In Manager..." button is visible. The "OK" and "Cancel" buttons are at the bottom.

The Project Navigator on the left shows the "Entity" list with "teste2" selected. The Tasks pane shows the "Compilation" task selected.

10 - Vetores... O que é e como se utiliza?

- Sobre este tópico, você poderá encontrar no site da monitoria um tutorial em PDF que explica detalhadamente sobre o que é e como se utilizam os vetores!

10 - Exercício

1. Na ferramenta Quartus II, implemente um circuito para a expressão booleana $F = (A'.B) + (A.C)'$. Antes de iniciar o programa, faça o esboço do circuito e da tabela verdade.

OBS.: Aproveite este momento para tirar suas dúvidas e explorar os seus monitores! Estamos aqui para isso!