

# **Eletrônica Digital**

## **Famílias Lógicas e Circuitos Integrados**

**Prof. Rômulo Calado Pantaleão Camara**

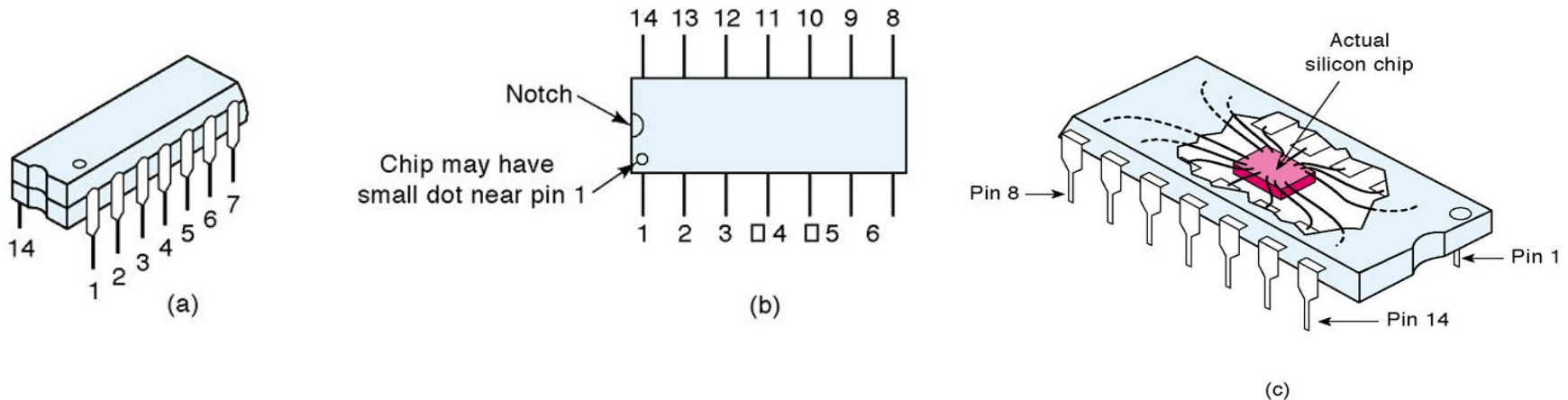
**Carga Horária: 4h/60h**

# Características Básicas de CI Digitais

**Circuitos Integrados:** coleção de componentes fabricados em um único pedaço de material semicondutor (normalmente o silício), normalmente conhecido como chip.

**Chip:** confinado em um encapsulamento protetor plástico ou cerâmico, que possui pinos de conexão com o ambiente externo.

O tipo de encapsulamento mais comum é o **DIP** (dual in-line package).



# Características Básicas de CI Digitais

## Vantagens:

- CIs contêm muito mais circuitos em um encapsulamento (menor tamanho comparado aos componentes discretos)
- Custo reduzido para produção em larga escala.
- Redução no número de conexões externas – proteção contra solda ruim, interrupção ou curto nas trilhas, etc.
- Redução da potência elétrica para realizar funções digitais – quanto menor o transistor, menos dissipação → menos ventilação.

## Desvantagens:

- Não suportam correntes ou tensões elevadas – muitos elementos em uma pastilha gera calor acima do limite aceitável
- Certos dispositivos não podem ser implementados em CIs – indutores, transformadores e grandes capacitores.
- Componentes discretos ainda são usados nestes casos.

Com a vasta utilização de CIs, é necessário conhecer as suas características elétricas

# Características Básicas de CI Digitais

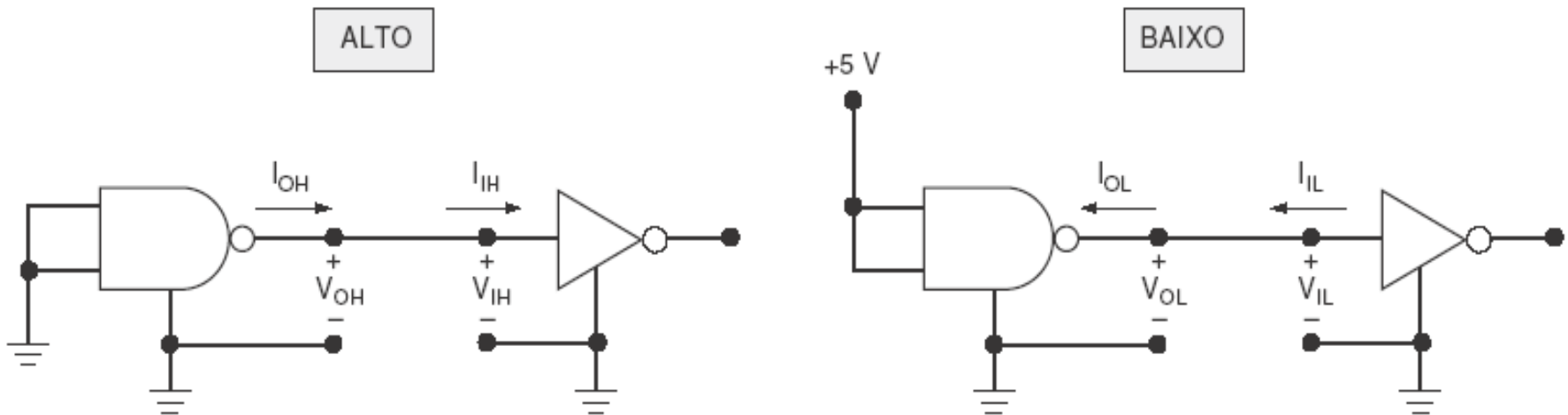
**Família TTL:** principal família de CIs bipolares (utilizam transistores bipolares NPN e PNP) nos últimos 30 anos.

**Família CMOS:** faz parte de uma classe de CIs unipolares (utilizam transistores unipolares MOSFET canal P ou canal N). Ameaça a liderança dos CIs TTL nas categorias SSI e MSI.

# Terminologia

Embora existam diversos fabricantes, a maior parte da nomenclatura de CIs é razoavelmente padronizada.

**Convenção:** A corrente que flui para um nó ou dispositivo é considerada positiva; a corrente que flui para fora de um nó ou dispositivo é considerada negativa.



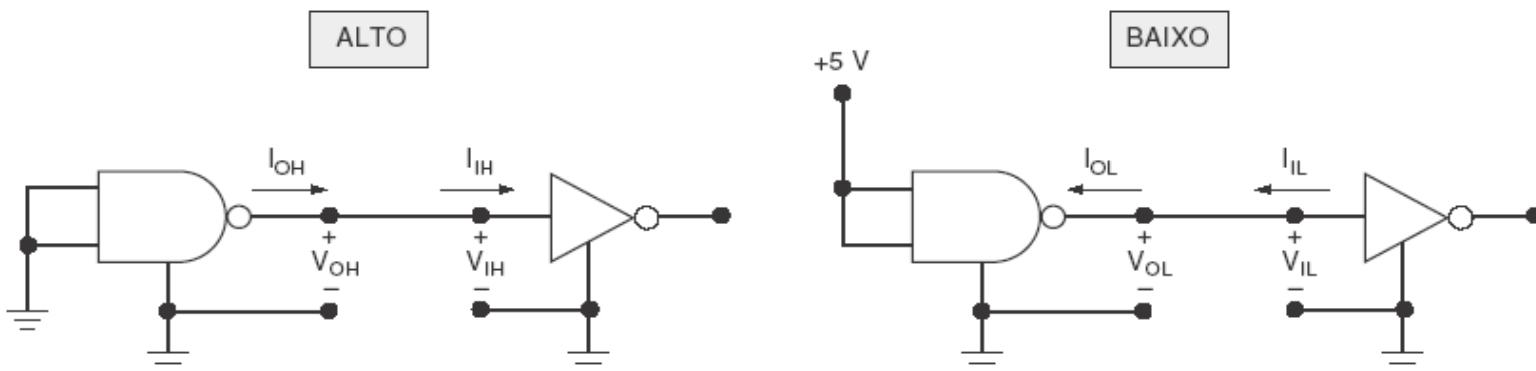
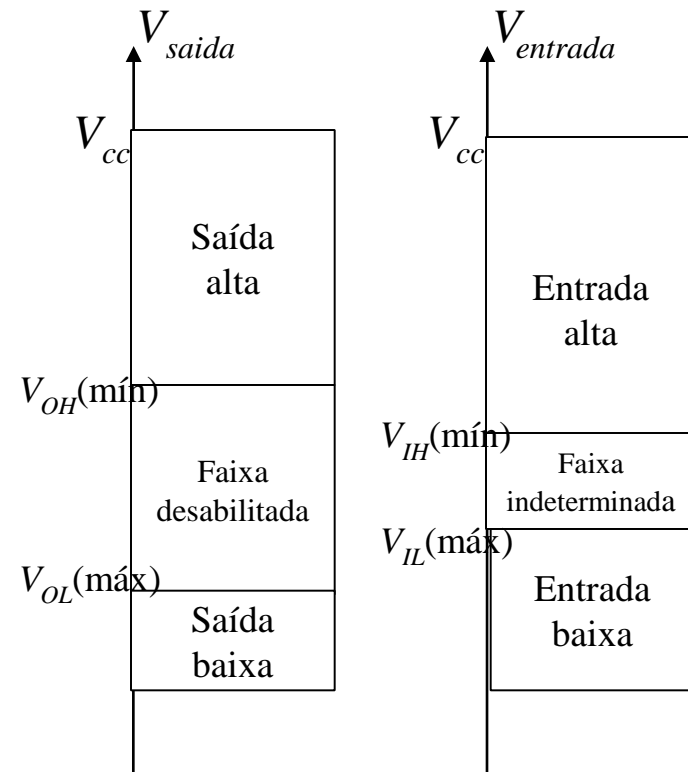
# Terminologia

**$V_{IH}$  (mín)** – Tensão de entrada em nível alto. O nível de tensão mínimo requerido para o nível lógico 1 em uma entrada. Valores abaixo desse nível não são interpretados como nível lógico 1.

**$V_{IL}$  (máx)** – Tensão de entrada em nível baixo. O nível máximo de tensão requerido para o nível lógico 0 em uma entrada. Valores acima desse nível não são interpretados como nível lógico 0.

**$V_{OH}$  (mín)** – Tensão de saída em nível alto. O nível de tensão mínimo na saída de um circuito lógico, no estado lógico 1.

**$V_{OL}$  (máx)** – Tensão de saída em nível baixo. O nível de tensão máximo na saída de um circuito lógico, no estado lógico 0.



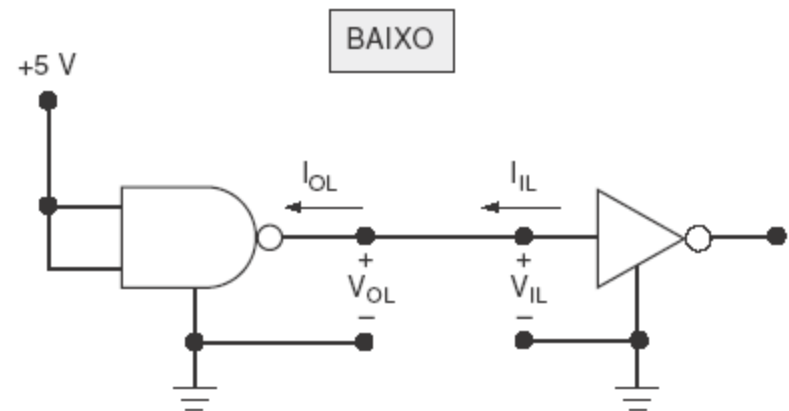
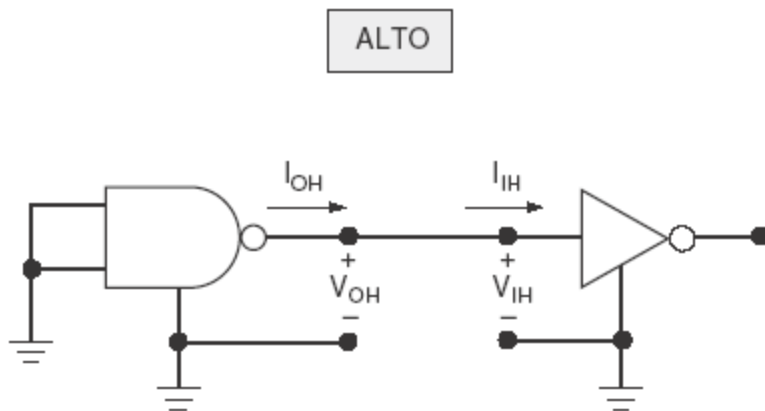
# Terminologia

**$I_{IH}$  – Corrente de entrada em nível alto.** A corrente que flui para uma entrada quando uma tensão de nível alto é aplicada naquela entrada.

**$I_{IL}$  – Corrente de entrada em nível baixo.** A corrente que flui para uma entrada quando uma tensão de nível baixo é aplicada naquela entrada.

**$I_{OH}$  – Corrente de saída em nível alto.** A corrente que flui de uma saída em nível alto.

**$I_{OL}$  – Corrente de saída em nível baixo.** A corrente que flui de uma saída em nível baixo.



# Terminologia

## Fan-Out (Capacidade de Saída)

Geralmente, CIs são interconectados, de forma que um CI aciona outro(s) (serve como fonte de corrente ou tensão). Assim, é necessário saber a capacidade de acionamento de uma porta, conhecida como fan-out.

Definição: Número máximo de entradas lógicas que uma saída pode acionar com segurança.

**Se este número for excedido, o nível lógico na saída não pode mais ser garantido.**



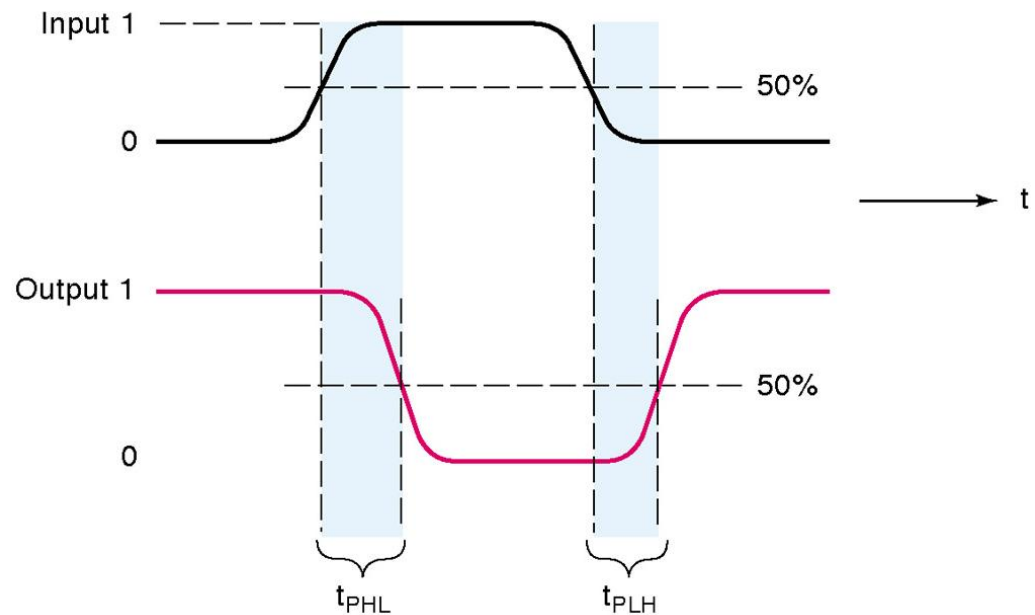
# Atrasos de Propagação

$t_{PHL}$  = tempo de atraso do estado lógico 1 para o estado lógico 0.

$t_{PLH}$  = tempo de atraso do estado lógico 0 para o estado lógico 1.

- Em geral, os dois atrasos não têm o mesmo valor e variam dependendo das condições de carga.
- Tais atrasos são utilizados como uma medida de velocidade relativa dos circuitos lógicos.

Ex.: Atrasos de propagação para um inversor



# Requisitos de Potência

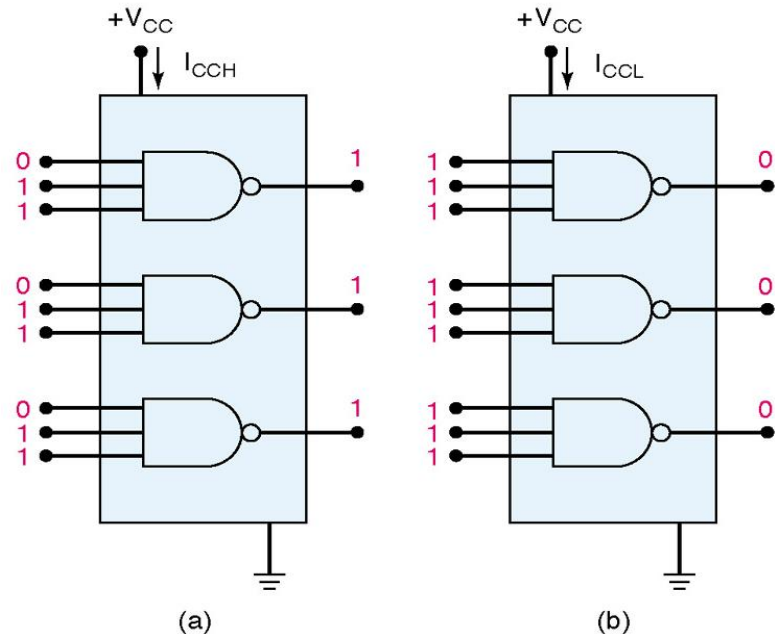
A quantidade de potência que um CI necessita é determinada pela corrente ( $I_{CC}$  ou  $I_{DD}$ ) que ele consome da fonte de alimentação ( $V_{CC}$  ou  $V_{DD}$ ), sendo:

$$\text{Potência} = I_{CC} \times V_{CC}$$

Para muitos CIs, a corrente consumida da fonte varia de acordo com os estados lógicos dos circuitos no chip. Em geral  $I_{CCH}$  e  $I_{CCL}$  têm valores diferentes e  $I_{CC}$  média é calculada da seguinte maneira:

$$I_{CC} (\text{média}) = \frac{I_{CCH} + I_{CCL}}{2}$$

$$P_D (\text{média}) = I_{CC} (\text{média}) \times V_{CC}$$



# Produto Velocidade-Potência

- CIs são caracterizados historicamente tanto pela potência quanto pela velocidade (atraso de propagação e tempo de transição entre níveis lógicos).
- O produto velocidade-potência é uma forma comum para medir e comparar o desempenho de uma família de CIs.

Quanto maior a velocidade, maior a potência dissipada.

**Exemplo:** Para uma família de CIs que tem um atraso médio de propagação de 10 ns e uma dissipação média de potência de 5mW, o produto velocidade-potência é:

$$10 \text{ ns} \times 5\text{mW} = 50 \cdot 10^{-12} \text{ watt-segundo} = 50 \text{ picojoules (pJ)}$$

$$(1\text{J} = 1\text{w}\cdot\text{s})$$

Há um esforço contínuo para reduzir o produto velocidade – potência, o que é difícil devido à natureza dos circuitos de chaveamento.

# Imunidade ao Ruído

- Campos elétricos e magnéticos parasitas podem induzir tensões nas conexões entre circuitos lógicos, assim como interferências de circuitos externos.
- Os sinais espúrios indesejáveis são chamados de ruído, que podem levar valores de tensão para longe dos níveis aceitáveis.
- A imunidade ao ruído de um circuito lógico é a capacidade de tolerância a ruídos sem alteração dos níveis lógicos de saída.
- Margem de ruído: medida quantitativa da imunidade ao ruído de um circuito lógico.

# Imunidade ao Ruído

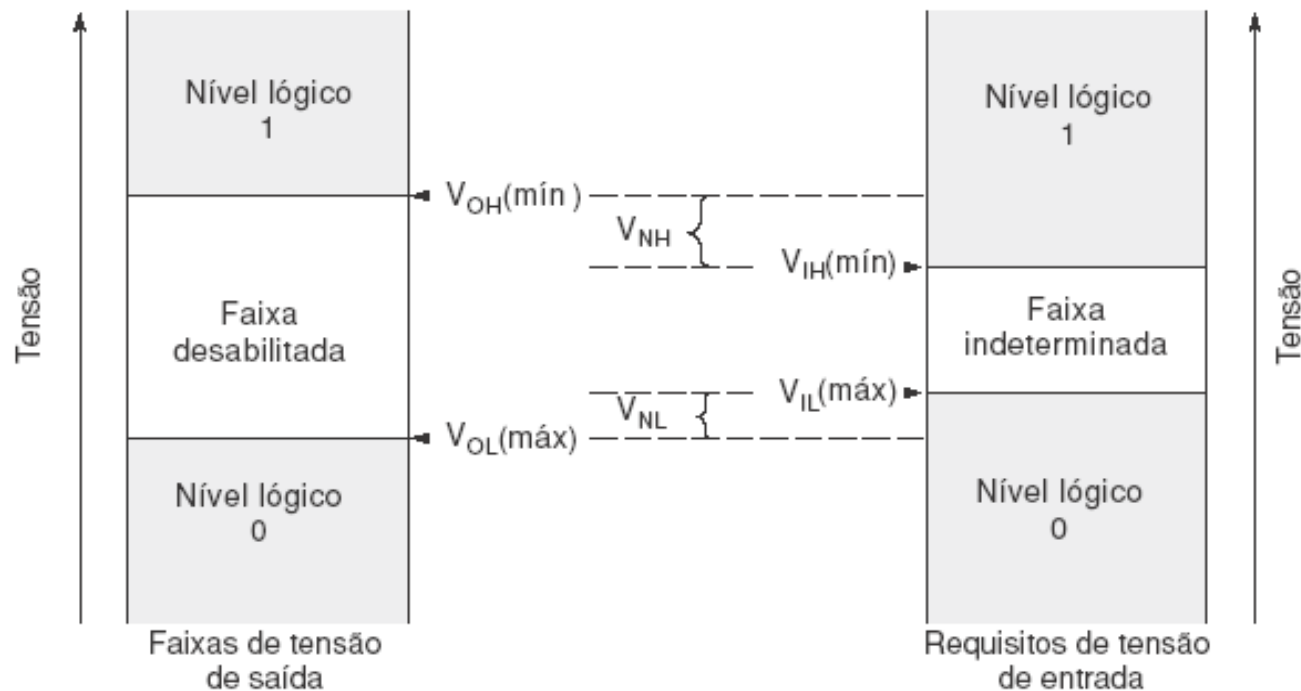
A margem de ruído aplica-se a conexões entre dois circuitos digitais para um dos dois níveis (ALTO ou BAIXO).

- A margem de ruído para o estado alto ( $V_{NH}$ ) é definida como:

$V_{NH} = V_{OH}(\text{mín}) - V_{IH}(\text{mín}) \rightarrow$  suporta *spikes* de ruído negativo até  $V_{NH}$

- A margem de ruído para o estado baixo ( $V_{NL}$ ) é definida como:

$V_{NL} = V_{IL}(\text{máx}) - V_{OL}(\text{máx}) \rightarrow$  suporta *spikes* de ruído positivo até  $V_{NL}$



# Imunidade ao Ruído

Exemplo: Um dispositivo lógico tem as seguintes especificações:  $V_{OH}(\text{mín}) = 2,4V$ ,  $V_{OL}(\text{máx}) = 0,4V$ ,  $V_{IH}(\text{mín}) = 2,0V$  e  $V_{IL}(\text{máx}) = 0,8V$ . Determine:

a) a maior amplitude de ruído tolerável quando uma saída nível ALTO está acionando uma entrada.

b) a maior amplitude de ruído tolerável quando uma saída nível BAIXO está acionando uma entrada.

Solução:

a) Saída nível ALTO acionando entrada pode ser tão baixa quanto  $V_{OH}(\text{mín}) = 2,4V$  e a entrada acionada responderá a uma tensão não menor que  $V_{IH}(\text{mín}) = 2,0V$ . Desta forma, a maior amplitude de ruído será:

$$V_{NH} = V_{OH}(\text{mín}) - V_{IH}(\text{mín}) = 0,4V$$

b) Saída em nível BAIXO pode ser tão alta quanto  $V_{OL}(\text{máx}) = 0,4V$  e entrada responderá a tensões não maiores que  $V_{IL}(\text{máx}) = 0,8V$ . Assim, a maior amplitude de ruído será:

$$V_{NL} = V_{IL}(\text{máx}) - V_{OL}(\text{máx}) = 0,4V$$

# Níveis de Tensão Inválidos

Para operação lógica correta, os níveis de tensão devem estar fora da faixa indeterminada, ou seja, níveis acima de  $V_{IH}$ (mín) ou abaixo de  $V_{IL}$ (máx).

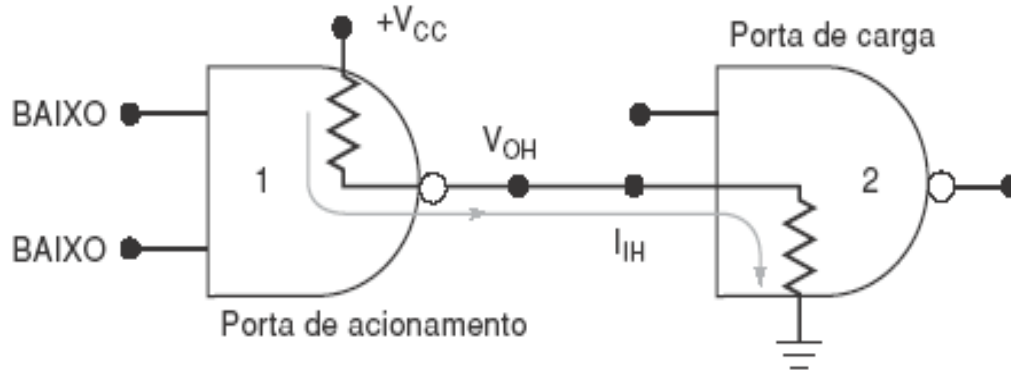
Para valores contidos na faixa indeterminada, a entrada é inválida e produzirá uma resposta de saída imprevisível.

- Em condições normais (circuitos operando dentro das especificações) não se atinge a região inválida.
- Caso contrário, tem-se entradas inválidas quando:
  - A saída lógica tem problemas.
  - Opera com sobrecarga (fan-out excedido).
  - Tensões de alimentação fora da faixa aceitável.
- O dispositivo do exemplo anterior funcionará com um nível de entrada de 1,7V?

# Ação de Fornecimento e de Absorção de Corrente

Pode-se descrever circuitos lógicos pelo modo como a corrente flui de um circuito a outro:

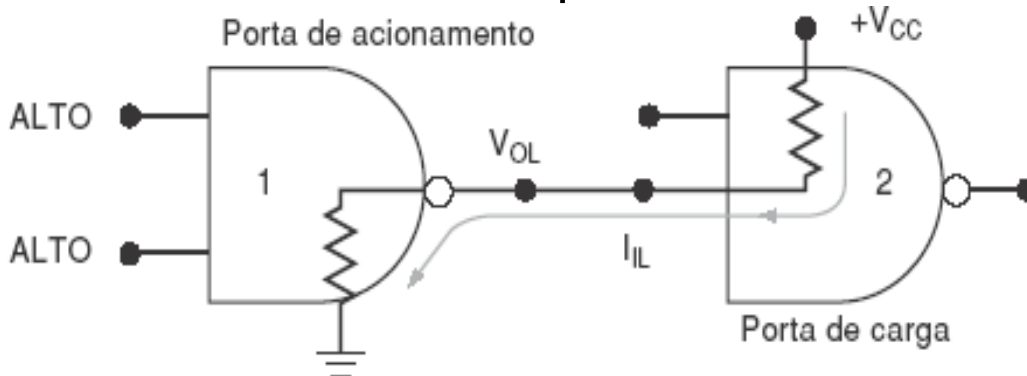
- Quando a saída da porta número 1 está em nível lógico ALTO, ela **fornece** uma corrente  $I_{IH}$  para a entrada da porta número 2.



Fornecimento de corrente

A porta de acionamento fornece corrente para a porta de carga no estado ALTO.

- Quando a saída da porta número 1 está em nível lógico BAIXO, ela **absorve** uma corrente  $I_{IL}$  da porta número 2.

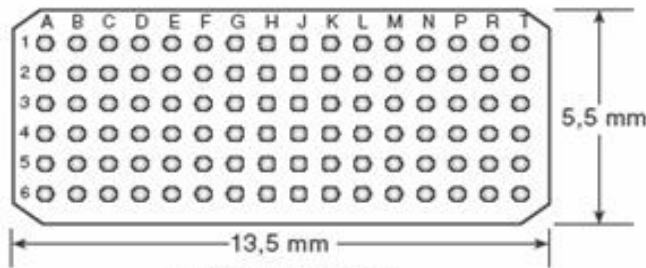
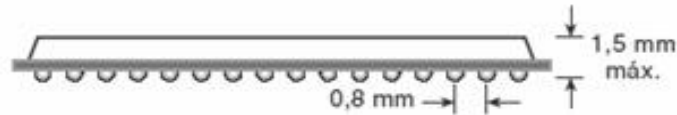
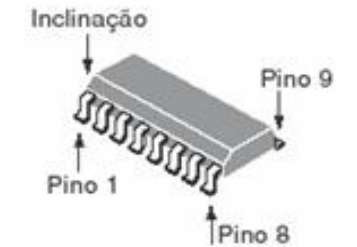
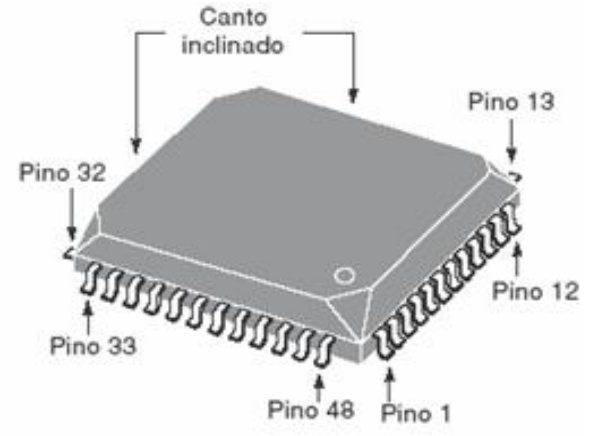
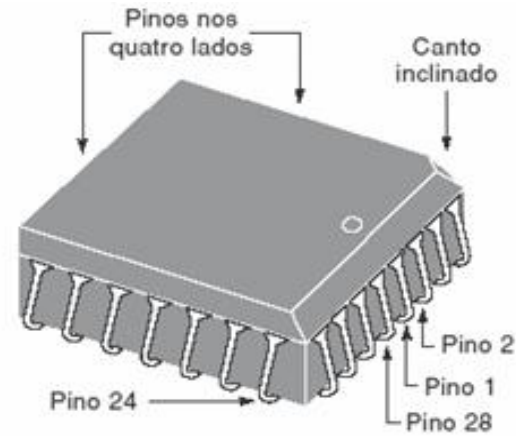
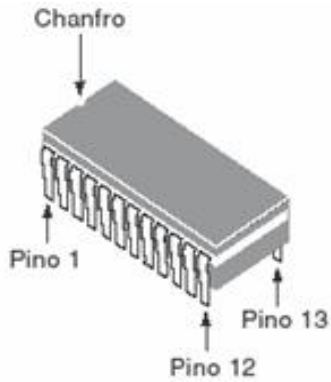


Absorção de corrente

A porta de acionamento recebe (absorve) corrente da porta de carga no estado BAIXO.



# Encapsulamento de Circuitos Integrados



# Família Lógica TTL

- As famílias lógicas distinguem-se umas das outras pelo tipo de dispositivo semicondutor incorporados e pela forma como estes dispositivos são interligados.
- A Lógica Transistor-Transistor (TTL) é uma série original de dispositivos lógicos, que existe há mais de 30 anos, e foi introduzida em 1964 pela Texas Instruments
- Utiliza transistores de junção bipolares (TJB).
- Apesar de gradativamente substituída por outras famílias, ainda é amplamente utilizada como lógica auxiliar ou que necessitem de acionamentos com altas correntes.

# Família Lógica TTL

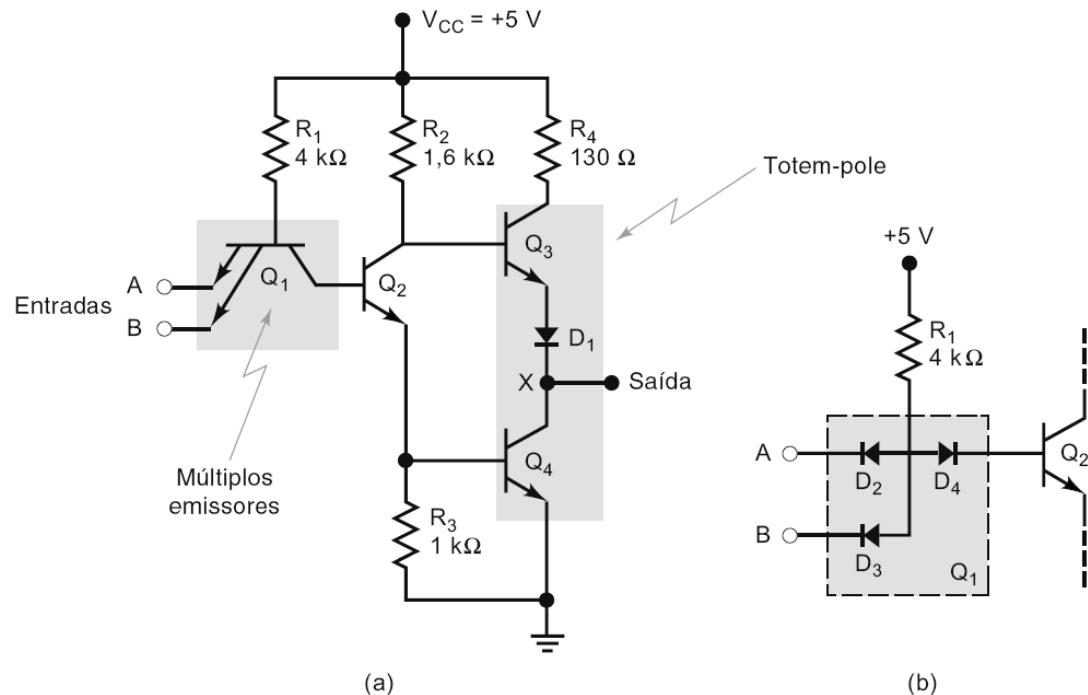
## O circuito TTL básico e a porta NAND.

- As características de entrada das famílias TTL são provenientes do transistor Q1 (múltiplos emissores – ate 8).
- A ou B em 0  $\rightarrow$  Q1 (conduz), Q2 (corta), Q3 (conduz) e Q4 (corta).
- A e B em 1  $\rightarrow$  Q1 (corta), Q2 (conduz), Q3 (corta) e Q4 (conduz).

Totem-pole: dois transistores que operam como chave, sempre com um ou outro conduzindo.

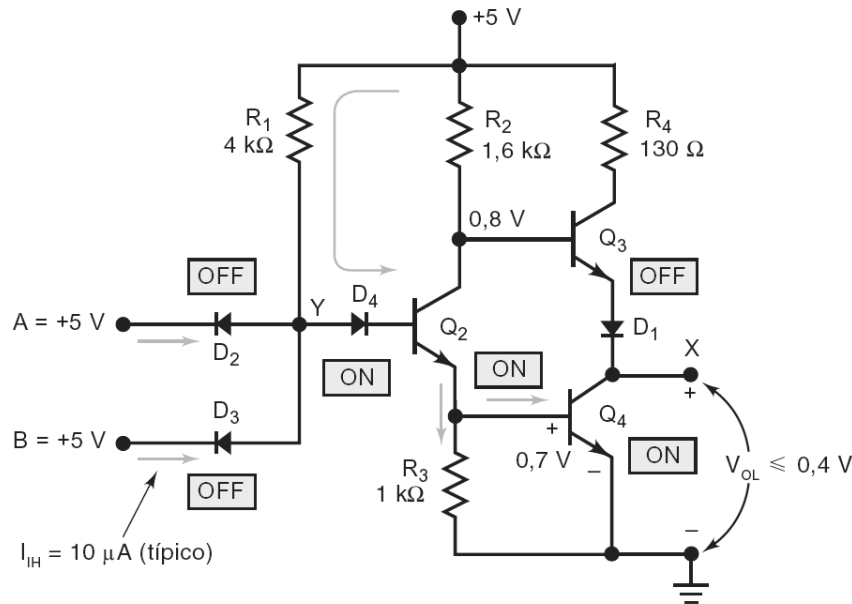
Alta velocidade para tempos de subida.

Usada para manter baixa a dissipação media de potencia.



# Família Lógica TTL

- Portas TTL NAND com saída nível baixo



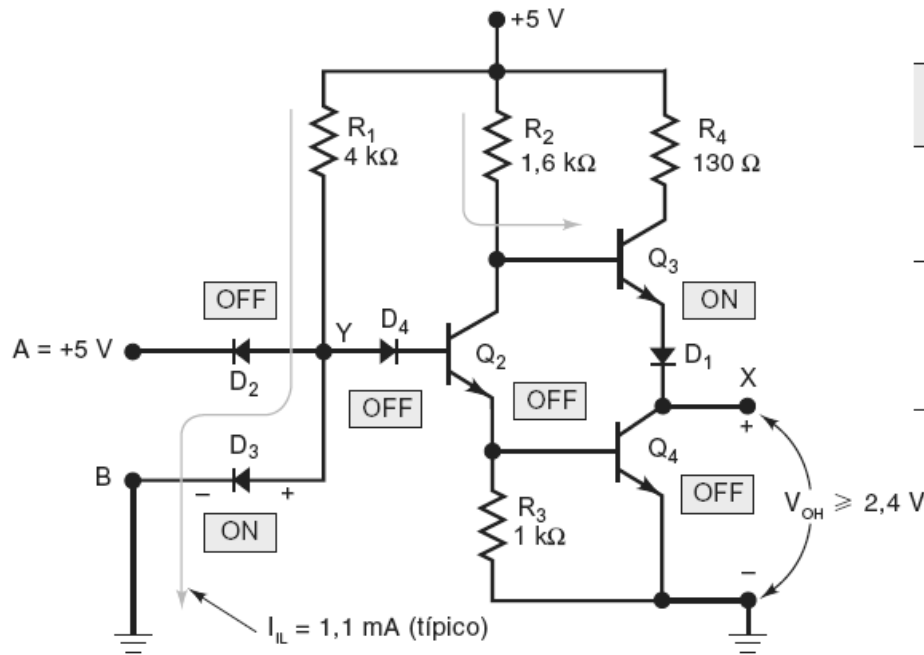
Condições de entrada	Condições de saída
A e B estão ambas em nível ALTO ( $\geq 2 V$ )	$Q_3$ OFF
As correntes de entrada são muito baixas $I_{IH} = 10 \mu A$	$Q_4$ ON, logo $V_x$ está em nível baixo ( $\leq 0,4 V$ )



(a) Saída em nível BAIXO

# Família Lógica TTL

- Portas TTL NAND com saída nível ALTO



Condições de entrada	Condições de saída
A ou B estão ambas em nível ALTO ( $\leq 0,8 \text{ V}$ )	$Q_4$ OFF
A corrente flui para GND pelo terminal de entrada em nível BAIXO $I_{IL} = 1,1 \text{ mA}$	$Q_3$ atua como seguidor de emissor e $V_{OH} \geq 2,4 \text{ V}$ , geralmente 3,6 V

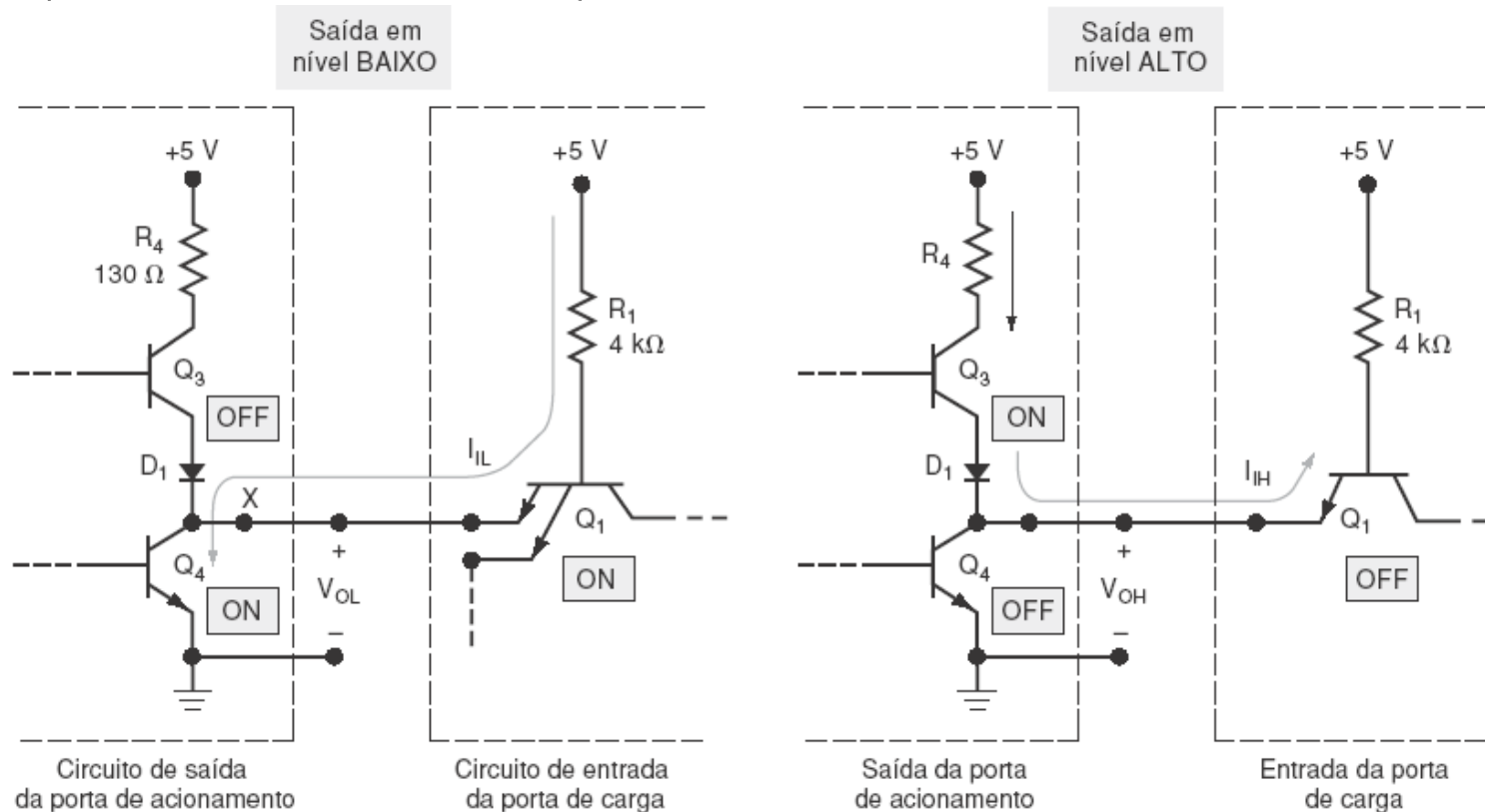


(b) Saída em nível ALTO

**FIGURA 8.8** Porta NANDTTL nos seus dois estados de saída.

# Absorção e Fornecimento de Corrente

- Q4 atua como absorvedor de corrente (drenando sua corrente da carga).
- Q3 atua com fornecedor de corrente (fornecendo corrente para a carga).
- Q4 é chamado de transistor de absorção de corrente ou transistor pull-down (conecta a saída ao terra).
- Q3 é chamado de transistor de fornecimento de corrente ou transistor pull-up (conecta a saída a  $V_{cc}$ ).



# Especificações Técnicas TTL

Todos os fabricantes de CIs TTL usam o mesmo sistema de número de identificação, seguindo o precursor Texas Instruments (séries 54 e 74).

Fabricantes distintos usam prefixos especiais próprios, tais como:

## - Chip quádruplo de portas NAND.

DM7400 - National Semiconductor;

SN7400 – Texas Instruments;

S7400 – Signetics.

**Família TTL:** 74, 74LS, 74S, etc. Séries diferem nas características que definem as capacidades e limitações desses dispositivos.

Todas as informações a respeito dos CIs podem ser encontradas na folha de dados (*data sheet*) editadas pelos fabricantes.

Como exemplo, considere o 54/74ALS00, com quatro portas NAND de duas entradas.

# Folha de Dados (data sheet) 54/74ALS00

## recommended operating conditions

		SN54ALS00A			SN74ALS00A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	4.5	5	5.5	4.5	5	5.5	V
$V_{IH}$	High-level input voltage	2			2			V
$V_{IL}$	Low-level input voltage	0.8 <sup>‡</sup>			0.8			V
		0.7 <sup>§</sup>						
$I_{OH}$	High-level output current	-0.4			-0.4			mA
$I_{OL}$	Low-level output current	4			8			mA
$T_A$	Operating free-air temperature	-55			125			°C

<sup>‡</sup> Applies over temperature range -55°C to 70°C

<sup>§</sup> Applies over temperature range 70°C to 125°C

## electrical characteristics over recommended operating free-air temperature range unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN54ALS00A		SN74ALS00A		UNIT
		MIN	TYP <sup>†</sup>	MAX	MIN	
$V_{IK}$	$V_{CC} = 4.5\text{ V}$ , $I_I = -18\text{ mA}$	-1.2		-1.5		V
$V_{OH}$	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$ , $I_{OH} = -0.4\text{ mA}$	$V_{CC} - 2$		$V_{CC} - 2$		V
$V_{OL}$	$V_{CC} = 4.5\text{ V}$	$I_{OL} = 4\text{ mA}$		0.25 0.4		V
		$I_{OL} = 8\text{ mA}$		0.35 0.5		
$I_I$	$V_{CC} = 5.5\text{ V}$ , $V_I = 7\text{ V}$	0.1		0.1		mA
$I_{IH}$	$V_{CC} = 5.5\text{ V}$ , $V_I = 2.7\text{ V}$	20		20		μA
$I_{IL}$	$V_{CC} = 5.5\text{ V}$ , $V_I = 0.4\text{ V}$	-0.1		-0.1		mA
$I_{O}^{\ddagger}$	$V_{CC} = 5.5\text{ V}$ , $V_O = 2.25\text{ V}$	-20	-112	-30	-112	mA
$I_{CCH}$	$V_{CC} = 5.5\text{ V}$ , $V_I = 0$	0.5	0.85	0.5	0.85	mA
$I_{CCL}$	$V_{CC} = 5.5\text{ V}$ , $V_I = 4.5\text{ V}$	1.5	3	1.5	3	mA

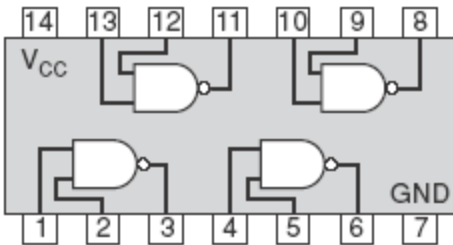
<sup>†</sup> All typical values are at  $V_{CC} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

<sup>‡</sup> The output conditions have been chosen to produce a current that closely approximates one half of the true short-circuit output current,  $I_{OS}$ .

## switching characteristics (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$ , $C_L = 50\text{ pF}$ , $R_L = 500\ \Omega$ , $T_A = \text{MIN to MAX}^{\S}$				UNIT
			SN54ALS00A		SN74ALS00A		
			MIN	MAX	MIN	MAX	
$t_{PLH}$	A or B	Y	3	15	3	11	ns
$t_{PHL}$			2	9	2	8	

<sup>§</sup> For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.





# Especificações Técnicas TTL

## Faixas de Tensão de Alimentação

Ambas as séries usam tensão de alimentação nominal  $V_{CC} = 5 \text{ V}$ , podendo tolerar variações de  $\pm 0,5 \text{ V}$ .

Série 74ALS – projetada para 0 a  $70^{\circ}\text{C}$  (aplicações comerciais)

Série 54ALS – projetada para  $-55$  a  $+125^{\circ}\text{C}$  (aplicações militares/espaciais)

## Níveis de Tensão

Os valores mostrados representam o pior caso de tensão de alimentação, temperatura e condições de acionamento de carga.

$$V_{NL} = V_{IL}(\text{máx}) - V_{OL}(\text{máx}) = 0,8 - 0,5 = 0,3 \text{ V}$$

$$V_{NH} = V_{OH}(\text{mím}) - V_{IH}(\text{mím}) = 2,5 - 2 = 0,5 \text{ V}$$

Como forma de comparação, costuma-se usar a **margem de ruído** garantida para o pior caso da série 74ALS, que é de  $0,3 \text{ V}$ .

# Especificações Técnicas TTL

## Dissipação de Potência Nominal

Consumo médio de cada porta NAND TTL = 2,4 mW.

$$I_{CC}(\text{méd}) = (I_{CCH} + I_{CCL}) / 2 = (0,85 + 3) \text{ mA} / 2 = 1,925 \text{ mA}.$$

$$P_D(\text{méd})_{\text{chip}} = 1,925 \text{ mA} \times 5 \text{ V} = 9,65 \text{ mW} \text{ (potência total das 4 portas do chip).}$$

$$P_D(\text{méd})_{\text{porta}} = 9,65 \text{ mW} / 4 = 2,4 \text{ mW} \text{ (por porta).}$$

## Atrasos de Propagação

Adotar a média dos valores máximo e mínimo:  $t_{PLH} = (11+3)/2 = 7 \text{ ns}$  e  $t_{PHL} = (8+2)/2 = 5 \text{ ns}$ .

O atraso de propagação médio típico é de  $t_{pd} = (t_{PHL} + t_{PLH}) / 2 = 6 \text{ ns}$ .

**Opcionalmente:**  $t_{pd} = \max \{t_{PHL} \text{ e } t_{PLH}\}$

# Especificações Técnicas TTL

**Exemplo:** Observando o *data sheet* do 74ALS00, determine a potência de dissipação média máxima e o atraso de propagação médio máximo para uma porta NAND.

Solução: Devemos encontrar  $P_{\text{med}}(\text{máx})_{\text{porta}} = I_{\text{CCmed}}(\text{máx}) \times V_{\text{CC}}(\text{máx}) / 4$ . A corrente é obtida tomando-se a média dos valores máximos de  $I_{\text{CCH}}$  e  $I_{\text{CCL}}$ . Pelo *data sheet*, vemos que

$$I_{\text{CCmed}}(\text{máx}) = ( I_{\text{CCH}}(\text{máx}) + I_{\text{CCL}}(\text{máx}) ) / 2 = ( 0,85 + 3 ) / 2 = 1,925 \text{ mA}$$

Também pelo *data sheet*, vemos que esses valores foram obtidos quando  $V_{\text{CC}} = 5,5\text{V}$ . Portanto:

$$P_{\text{med}}(\text{máx})_{\text{porta}} = I_{\text{CCmed}}(\text{máx}) \times V_{\text{CC}}(\text{máx}) / 4 = 1,925 \text{ mA} \times 5,5 \text{ V} / 4 = 2,65 \text{ mW}$$

Os atrasos de propagação máximos são  $t_{\text{PLH}} = 11 \text{ ns}$  e  $t_{\text{PHL}} = 8 \text{ ns}$ , o que dá:

$$t_{\text{PD}}(\text{máx}) = (11 + 8) / 2 = 9,5 \text{ ns}$$

# Comparação entre séries TTL

	<b>74</b>	<b>74S</b>	<b>74LS</b>	<b>74AS</b>	<b>74ALS</b>	<b>74F</b>
<b>Índice de Desempenho</b>						
Atraso de Propagação	9	3	9,5	1,7	4	3
Diss. de Potência (mW)	10	20	2	8	1,2	6
Velocidade-potência (pJ)	90	60	19	13,6	4,8	18
Taxa Máx. Clock (MHz)	35	125	45	200	70	100
Fan-Out (mesma série)	10	20	20	40	20	33
<b>Parâmetros de Tensão</b>						
VOH(mín)	2,4	2,7	2,7	2,5	2,5	2,5
VOL(máx)	0,4	0,5	0,5	0,5	0,5	0,5
VIH(mín)	2,0	2,0	2,0	2,0	2,0	2,0
VIL(máx)	0,8	0,8	0,8	0,8	0,8	0,8

- Valores típicos para as características mais importantes de cada uma das séries TTL.

# Comparação entre séries TTL

**Exemplo:** Usando a tabela anterior, calcule as margens de ruído para um 74LS típico.

Solução:

$$V_{NH} = V_{OH}(\text{mín}) - V_{IH}(\text{mín}) = 2,7 - 2,0 = 0,7 \text{ V}$$

$$V_{NL} = V_{IL}(\text{máx}) - V_{OL}(\text{máx}) = 0,8 - 0,5 = 0,3 \text{ V}$$

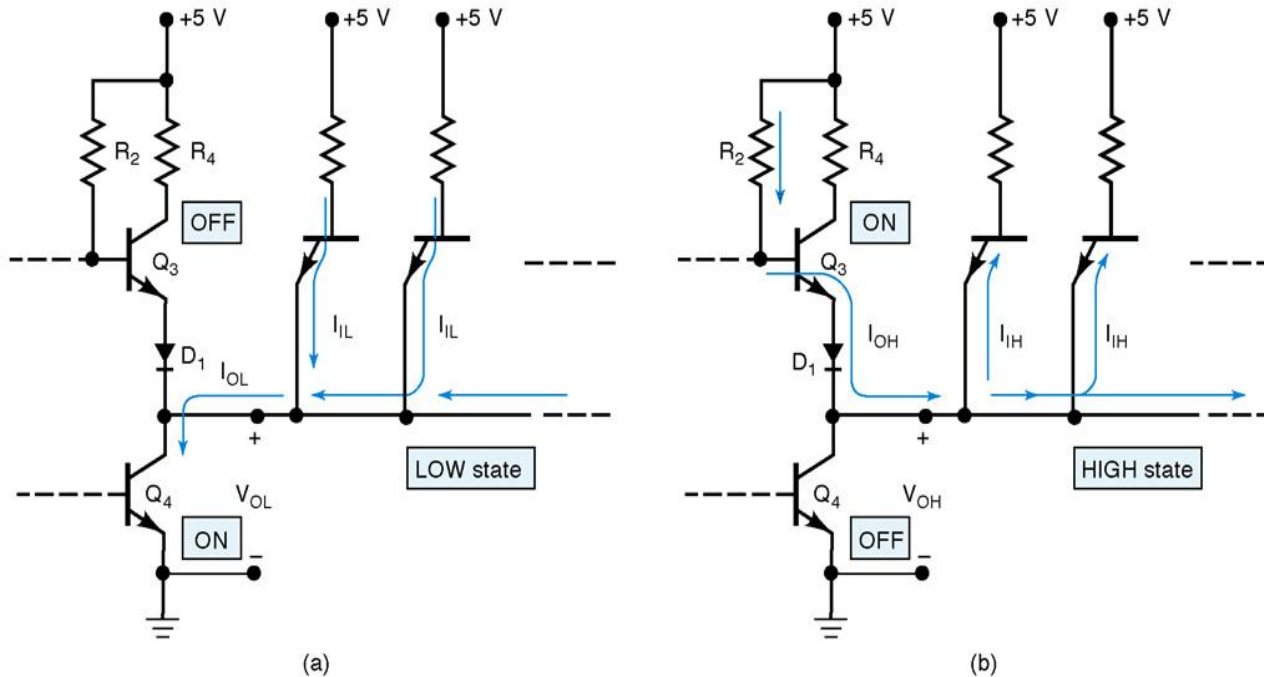
**Exemplo:** Qual das séries pode acionar o maior número de portas da mesma série?

Resposta: Série 74AS, pois tem o maior fan-out = 40.

# Fan-Out e Acionamento de Carga para TTL

**BAIXO** - Quando Q4 conduz ele absorve corrente. Devido à sua resistência coletor/emissor, se  $I_{OL}$  for alta (muitas portas conectadas à saída)  $V_{OL}$  pode exceder o limite de  $V_{OL}(\text{máx})$  e reduzir a margem de ruído. Se  $V_{OL}$  ultrapassa  $V_{IL}(\text{máx})$  ela estará na faixa indeterminada.

**ALTO** - Quando Q3 conduz ele fornece corrente. Se  $I_{OH}$  for muito alta haverá um aumento da queda de tensão em  $R_2$ , podendo levar  $V_{OH}$  abaixo de  $V_{OH}(\text{mín})$ , reduzindo a margem de ruído. Se  $V_{OH}$  ultrapassa  $V_{IH}(\text{mín})$  ela estará na faixa indeterminada.



Em resumo,  $I_{OH}(\text{máx})$  e  $I_{OL}(\text{máx})$  limitam o número de portas conectadas.

# Determinando o fan-out

Quantas portas NAND 74ALS00 podem ser acionadas pela saída de uma porta NAND 74ALS?

**Observando o *datasheet*:**

## Nível BAIXO

$I_{OL(máx)} = 8 \text{ mA}$  e  $I_{IL(máx)} = - 0,1 \text{ mA}$  (corrente negativa → flui para fora do terminal de entrada; pode-se ignorá-lo para o propósito atual)

$$\text{fan-out (0)} = I_{OL(máx)} / I_{IL(máx)} = 80$$

## Nível ALTO

$I_{OH(máx)} = - 400 \text{ uA}$  e  $I_{IH(máx)} = 20 \text{ uA}$  →  $\text{fan-out (1)} = I_{OH(máx)} / I_{IH(máx)} = 20$

**fan-out = mínimo{fan-out (0), fan-out (1)} = 20**

## Determinando o fan-out

Quando aparece combinação de varias famílias lógicas:

1- **Some o I<sub>IH</sub>** para todas as entradas que estão conectadas a uma saída. Essa soma tem que ser menor do que a especificação do I<sub>OH</sub> da saída.

2 - **Some o I<sub>IL</sub>** para todas as entradas que estão conectadas a uma saída. Essa soma tem que ser menor do que a especificação do I<sub>OL</sub> da saída.

**Exemplo:** Determine se ha problema em uma porta 74ALS00 acionar três portas 74S00 e uma 7400.

**Soma de I<sub>IH</sub>** =  $3 \times 50 \text{ uA} + 1 \times 40 \text{ uA} = 190 \text{ uA} < 400 \text{ uA}$  (I<sub>OH</sub> do 74ALS00) – nível alto OK.

**Soma de I<sub>IL</sub>** =  $3 \times 2 \text{ mA} + 1 \times 1,6 \text{ mA} = 7,6 \text{ mA} < 8 \text{ mA}$  (I<sub>OL</sub> do 74ALS00) – nível baixo OK.

	Saída	Saída	Entrada	Entrada
TTL	I <sub>OH</sub> (mA)]	I <sub>OL</sub> (mA)]	I <sub>IH</sub> (uA)]	I <sub>IL</sub> (mA)]
74	- 0,4	16	40	- 1,6
74S	- 1	20	50	- 2
74LS	- 0,4	8	20	- 0,4
74AS	- 2	20	20	- 0,5
74ALS	- 0,4	8	20	- 0,1
74F	- 1	20	20	- 0,6



## Determinando o fan-out

**Exemplo:** A saída da porta 74ALS00 do exemplo anterior precisa ser usada para acionar, além das portas descritas, algumas portas 74ALS. Quantas destas portas podem ser acionadas a mais, sem causar sobrecarga?

De acordo com o exemplo anterior, o nível baixo está mais próximo de uma sobrecarga.

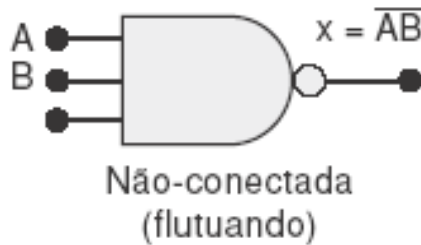
Portanto, vamos avaliá-lo.

A corrente da carga já acionada é 7,6 mA (soma das IIL). A porta 74ALS00 pode fornecer até 8 mA ( $I_{OL(max)}$ ), portanto, há uma 'sobra' de 0,4 mA. Como cada entrada da 74ALS demanda IIL de 0,1 mA, podemos conectar mais 4 portas 74ALS à saída da porta 74ALS00 sem causar sobrecarga.

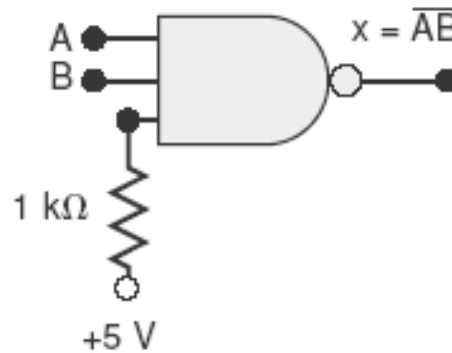
	Saída	Saída	Entrada	Entrada
TTL	$I_{OH} (mA)$	$I_{OL} (mA)$	$I_{IH} (\mu A)$	$I_{IL} (mA)$
74	- 0,4	16	40	- 1,6
74S	- 1	20	50	- 2
74LS	- 0,4	8	20	- 0,4
74AS	- 2	20	20	- 0,5
74ALS	- 0,4	8	20	- 0,1
74F	- 1	20	20	- 0,6

## Outras Características TTL

- Entradas em aberto (**flutuando**) = nível 1
- Entradas não utilizadas devem ser tratadas por uma das técnicas:
  - (a) Realiza a função desejada, mas atua como antena;
  - (b) Melhor técnica. O resistor protege entrada contra *spikes* da fonte;
  - (c) Funciona bem, desde que o fan-out do circuito acionador da entrada B não seja excedido.



(a)



(b)

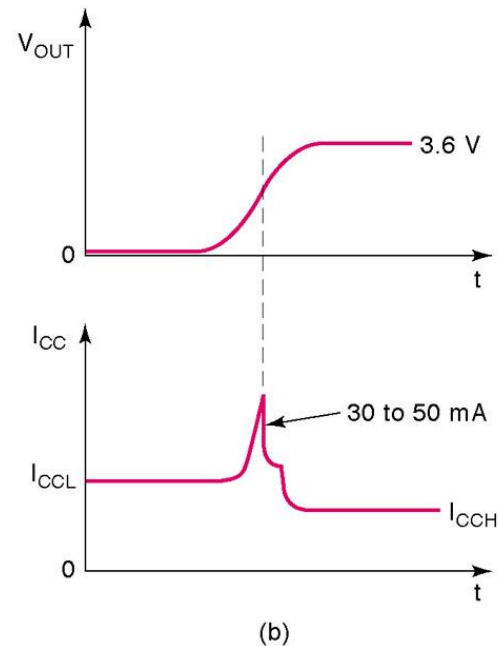
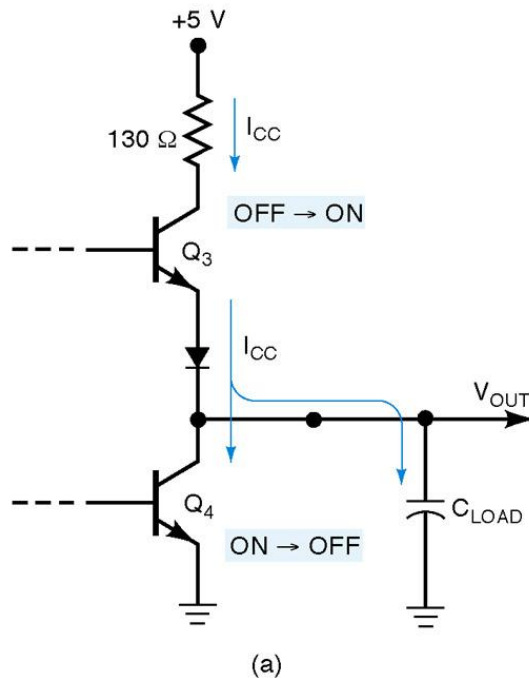


(c)

# Transientes de Corrente

Sempre que uma saída TTL *totem-pole* vai de nível baixo para nível alto, um pico de corrente de alta amplitude é drenado da fonte de alimentação.

- Surto de corrente é de aproximadamente 30 a 50 mA.
- Pior se existem várias saídas comutando ao mesmo tempo (vários *spikes*).
- Uma solução é instalar pequenos capacitores entre  $V_{CC}$  e GND (**desacoplamento da fonte de alimentação**).



# TECNOLOGIA MOS (Semicondutor de Óxido Metálico)

- Transistores implementados com tecnologia MOS são transistores de efeito de campo denominados MOSFET.

## Principais vantagens:

- Relativamente simples – a fabricação apresenta 1/3 da complexidade dos CIs bipolares (TTL, ECL, etc);
- Pequenos – ocupam menos espaço no chip do que os CIs bipolares, que usam elementos resistores que ocupam uma grande área no chip.
- Dispositivos MOS estão cada vez mais rápidos dominando também o mercado SSI e MSI.

## Desvantagem:

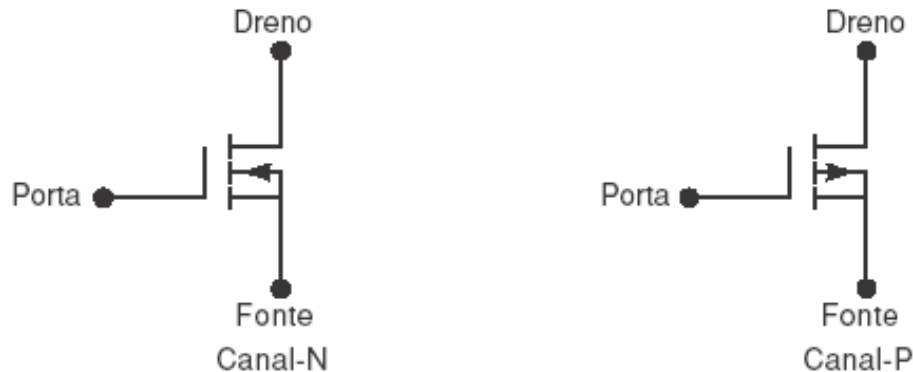
- Susceptibilidade de danos por eletricidade estática.

# O MOSFET

Os CIs MOS usam exclusivamente MOSFET do tipo enriquecimento, que serão analisados como chaves liga / desliga.

Linha tracejada indica que normalmente não há condução entre dreno e fonte.

Separação da porta indica alta resistência ( $\sim 10^{12}$  Ohm)



Os CI MOSFET são classificados em três categorias:

- 1- P-MOS, que usa apenas MOSFET canal P tipo enriquecimento
- 2- N-MOS, que usa apenas MOSFET canal N tipo enriquecimento
- 3- CMOS (MOS complementar), que usa os dispositivos canal P e canal N.

# O MOSFET

VGS controla a resistência entre dreno e fonte, determinando se o dispositivo está ligado ou desligado.

## N-MOS

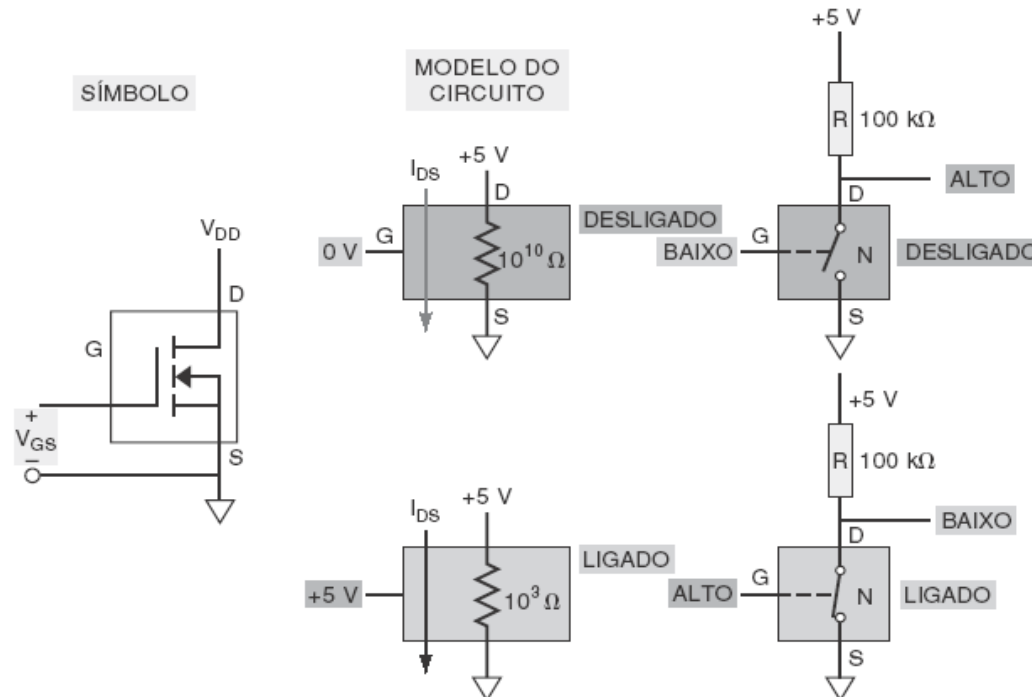
VGS BAIXO (entrada 0) → MOSFET desligado

VGS ALTO (entrada 1) → MOSFET ligado

P-MOS tem lógica de acionamento invertida, i.e.:

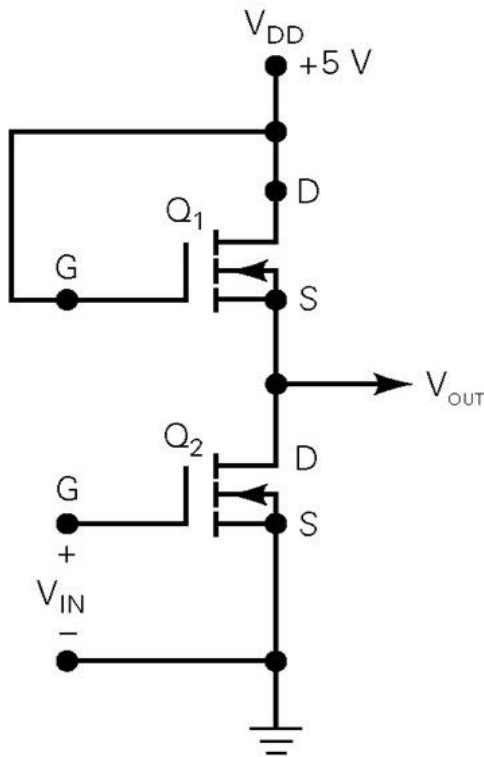
VGS BAIXO (entrada 0) → MOSFET ligado

VGS ALTO (entrada 1) → MOSFET desligado



# Inversor MOSFET

Q1 funciona como resistor de pull-up  $\sim 100 \text{ k}\Omega$

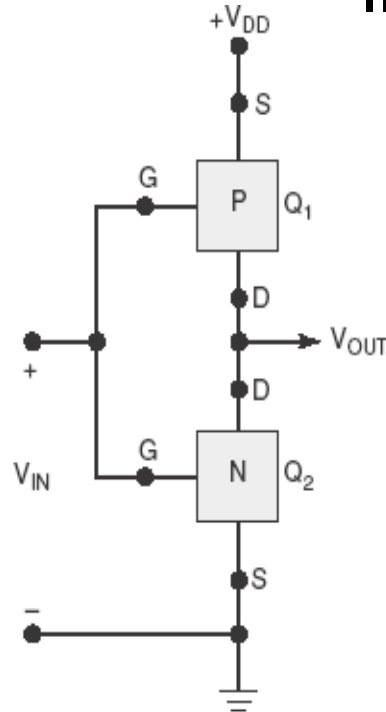


$V_{IN}$	$Q_1$	$Q_2$	$V_{OUT}$
$+V_{DD}$ (lógico 1)	OFF $R_{OFF} = 10^{10} \Omega$	ON $R_{ON} = 1 \text{ k}\Omega$	$\approx 0 \text{ V}$
$0 \text{ V}$ (lógico 0)	ON $R_{ON} = 1 \text{ k}\Omega$	OFF $R_{OFF} = 10^{10} \Omega$	$\approx +V_{DD}$

# Lógica MOS Complementar (CMOS)

- A família lógica CMOS utiliza MOSFET tanto canal N quanto canal P para obter diversas vantagens sobre as famílias N-MOS e P-MOS.
- CMOS consome menos potência e são mais rápidos do que as demais famílias MOS.
- Contrapartida: aumento de complexidade de fabricação do CI e menor densidade de integração.

## Inversor CMOS



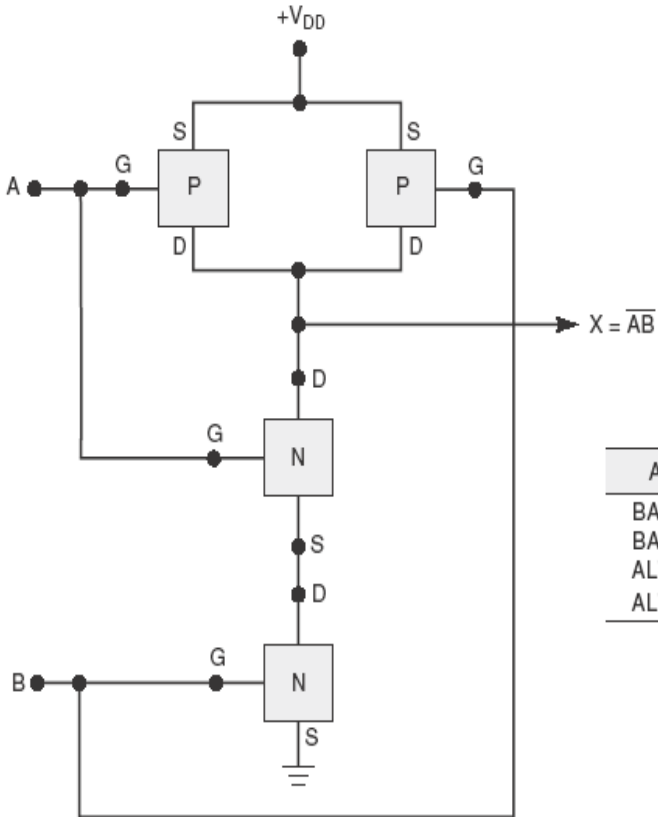
$V_{IN}$	$Q_1$	$Q_2$	$V_{OUT}$
$+V_{DD}$ (lógico 1)	OFF $R_{OFF} = 10^{10} \Omega$	ON $R_{ON} = 1 \text{ k}\Omega$	$\approx 0 \text{ V}$
$0 \text{ V}$ (lógico 0)	ON $R_{ON} = 1 \text{ k}\Omega$	OFF $R_{OFF} = 10^{10} \Omega$	$\approx +V_{DD}$

$$V_{OUT} = \overline{V_{IN}}$$



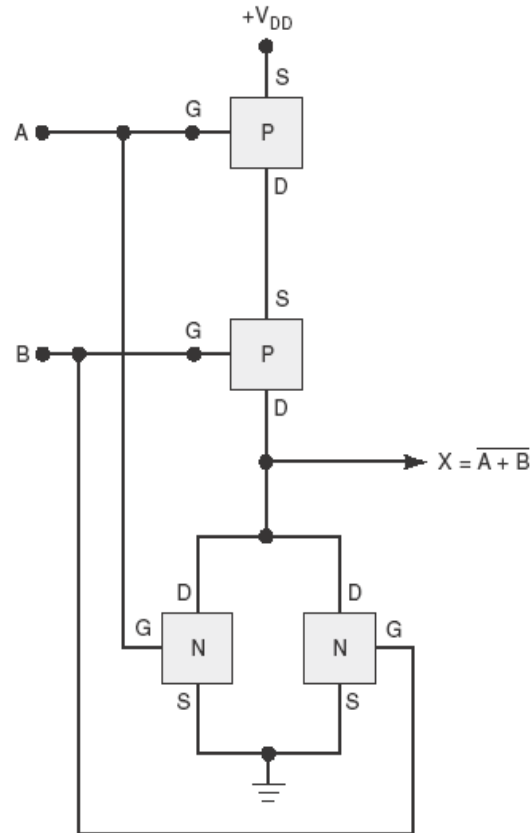
# Lógica MOS Complementar (CMOS)

## NAND CMOS



A	B	X
BAIXO	BAIXO	ALTO
BAIXO	ALTO	ALTO
ALTO	BAIXO	ALTO
ALTO	ALTO	BAIXO

## NOR CMOS



A	B	X
BAIXO	BAIXO	ALTO
BAIXO	ALTO	BAIXO
ALTO	BAIXO	BAIXO
ALTO	ALTO	BAIXO

# Características da Série CMOS

- **Família CMOS:** 4000, 74HC/HCT, 74AC/ACT, etc. Diferem nas características.

- **Níveis de Tensão**

Os níveis de tensão de entrada e saída são diferentes para cada série.

- **Margens de Ruído**

Em geral, os CIs CMOS possuem margens de ruído maiores que os TTL.

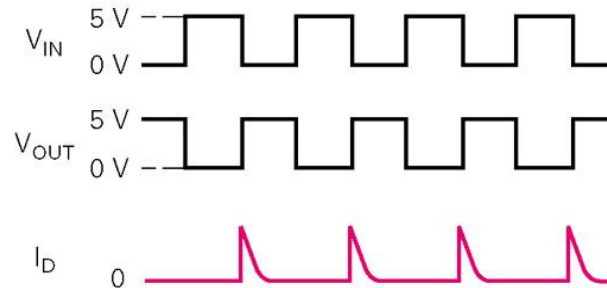
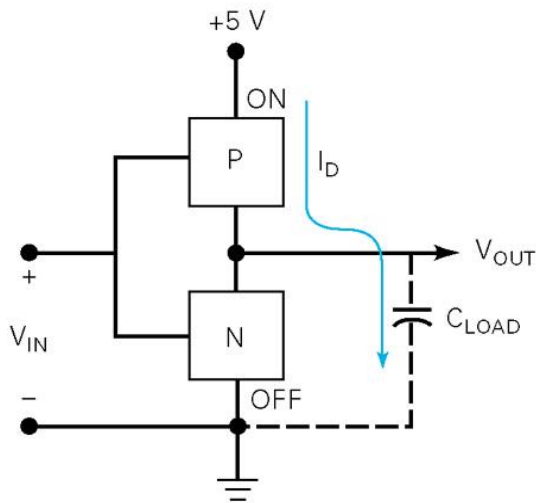
	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	TTL	TTL	TTL	TTL
	<b>4000B</b>	<b>74HC</b>	<b>74HCT</b>	<b>74AC</b>	<b>74ACT</b>	<b>74AHC</b>	<b>74AHCT</b>	<b>74</b>	<b>74LS</b>	<b>74AS</b>	<b>74ALS</b>
$V_{IHmin}$	3,5	3,5	2,0	3,5	2,0	3,85	2,0	2,0	2,0	2,0	2,0
$V_{ILmax}$	1,5	1,0	0,8	1,5	0,8	1,65	0,8	0,8	0,8	0,8	0,8
$V_{OHmin}$	4,95	4,9	4,9	4,9	4,9	4,4	3,15	2,4	2,7	2,7	2,5
$V_{OLmin}$	0,05	0,1	0,1	0,1	0,1	0,44	0,1	0,4	0,5	0,5	0,5
$V_{NH}$	1,45	1,4	2,9	1,4	2,9	0,55	1,15	0,4	0,7	0,7	0,7
$V_{NL}$	1,45	0,9	0,7	1,4	0,7	1,21	0,7	0,4	0,3	0,3	0,4

# Características da Série CMOS

## Dissipação de Potência

- Quando um CI CMOS não está comutando, sua dissipação de potência é extremamente baixa ( $PD = 2,5 \text{ nW}$  por porta).
- A dissipação de potência aumenta proporcionalmente com a frequência, por exemplo ( $V_{DD} = 10 \text{ V}$ ):

$PD = 10 \text{ nW}$  em condições CC;  $PD = 0,1 \text{ mW}$  com  $f = 100 \text{ kpps}$ ;  
 $PD = 1 \text{ mW}$  com  $f = 1 \text{ MHz}$ .

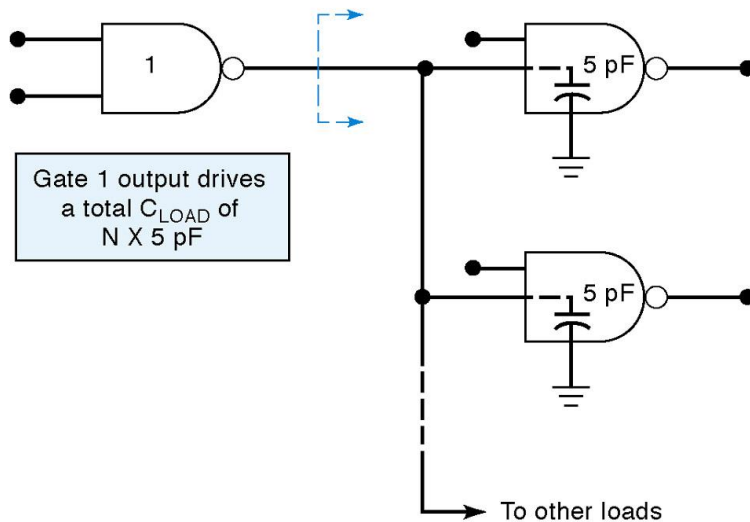


- Se  $f$  aumenta, o número de pulsos e a corrente média drenada de  $V_{DD}$  também aumenta.

# Características da Série CMOS

## Fan-out

- As entradas CMOS possuem uma resistência muito alta ( $10^{12}$  Ohms) e drenam uma corrente muito pequena.
- Cada entrada CMOS apresenta uma carga de 5 pF para GND, que limita o n° de entradas acionadas.
- Normalmente, cada entrada aumenta o atraso de propagação do circuito acionador em 3 ns.



### Exemplo:

Sem carga o  $t_{PHL}$  da porta 1 é de 25 ns.

Com 20 cargas o  $t_{PHL}$  da porta 1 é de  $25 \text{ ns} + 20 (3 \text{ ns}) = 85 \text{ ns}$ .

- Fan-out depende do atraso de propagação máximo.
- Geralmente 50 para freq.  $< 1 \text{ MHz}$ .

# Características da Série CMOS

## Entradas não usadas

- As entradas CMOS nunca devem ficar desconectadas.

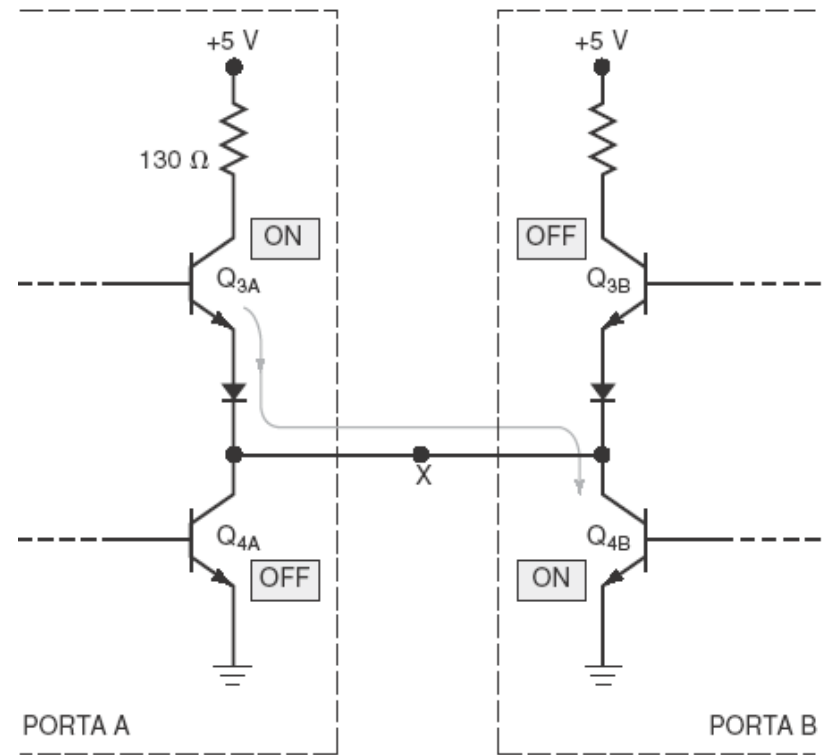
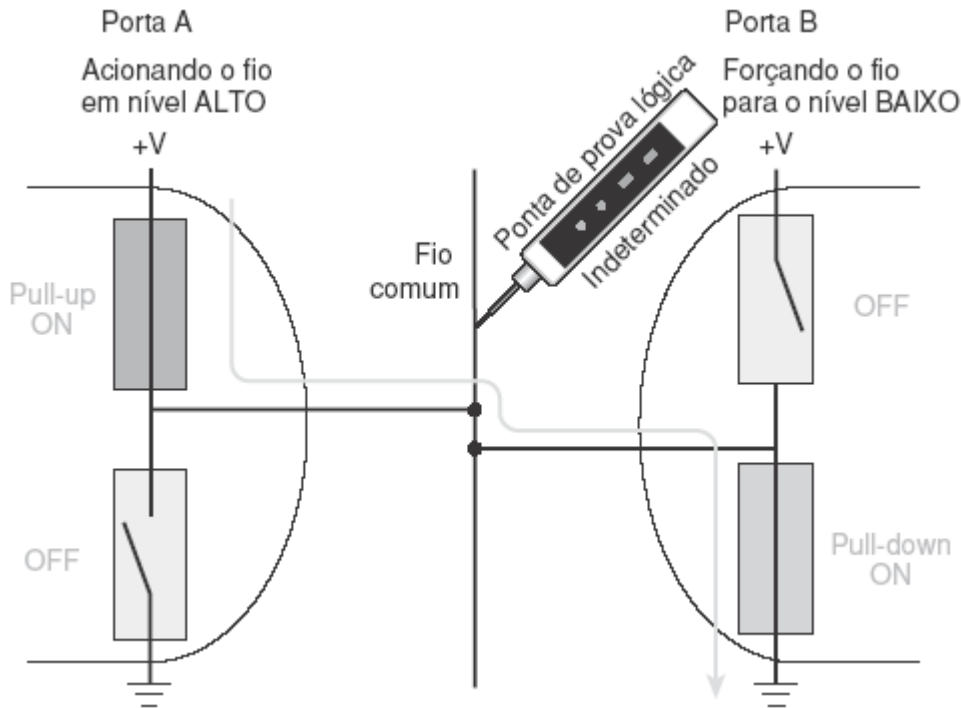
## Sensibilidade à eletricidade estática

- Dispositivos CMOS são mais susceptíveis a descargas eletrostáticas.
- Diferença de potencial cria corrente na camada óxida, danificando o elemento.
- Deve-se ter cuidado ao manusear CIs CMOS.

# Saída em Coletor Aberto

**Situação:** compartilhamento de uma via (fio).

- As saídas de circuitos convencionais (CMOS ou TTL) nunca devem ser conectadas juntas.
- Os transistores de pull-up e pull-down terão uma corrente muito maior que a normal.

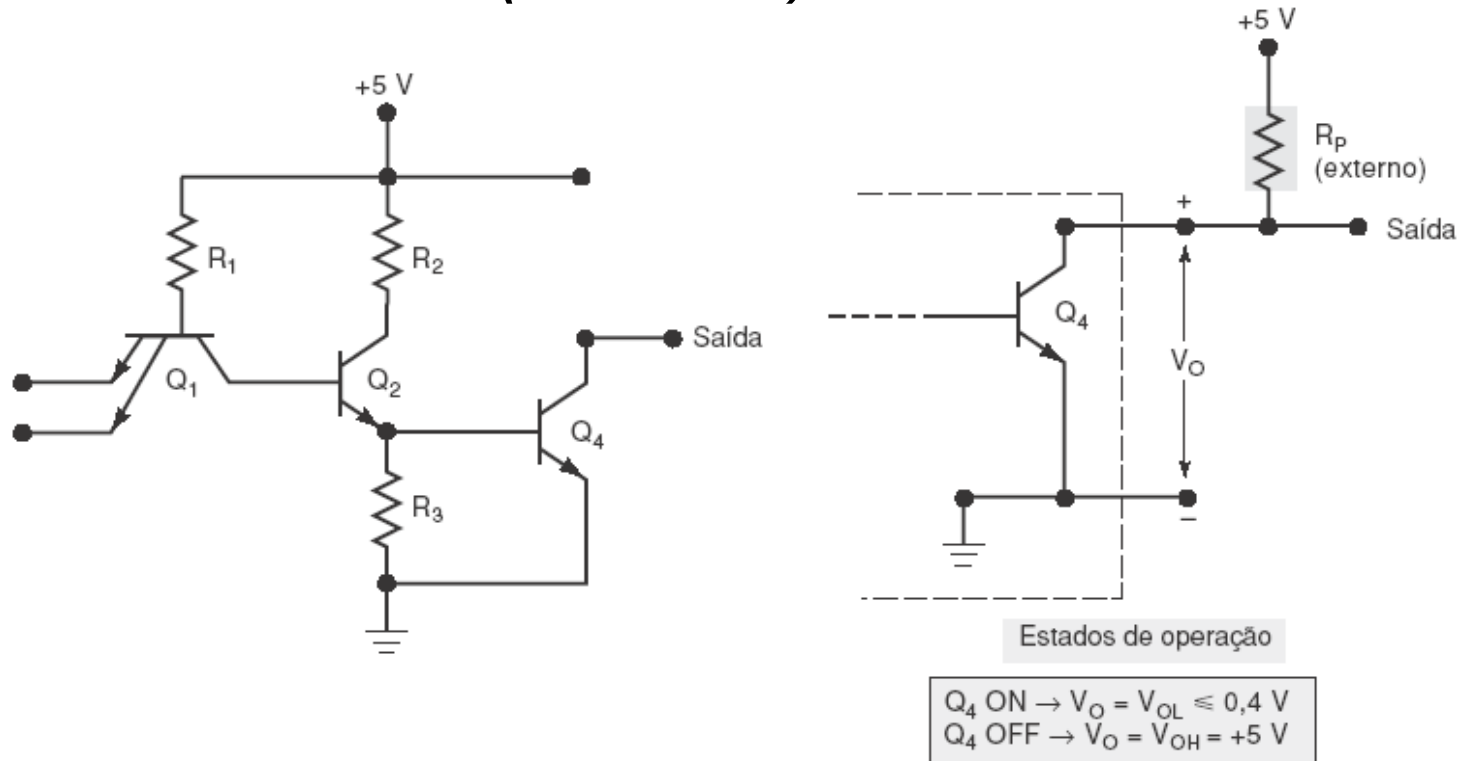


- **Em ambos os casos (CMOS =  $V_{DD}/2$  e TTL  $\sim 1V$ ) o nível de saída estará na faixa indeterminada.**

# Saída em Coletor Aberto

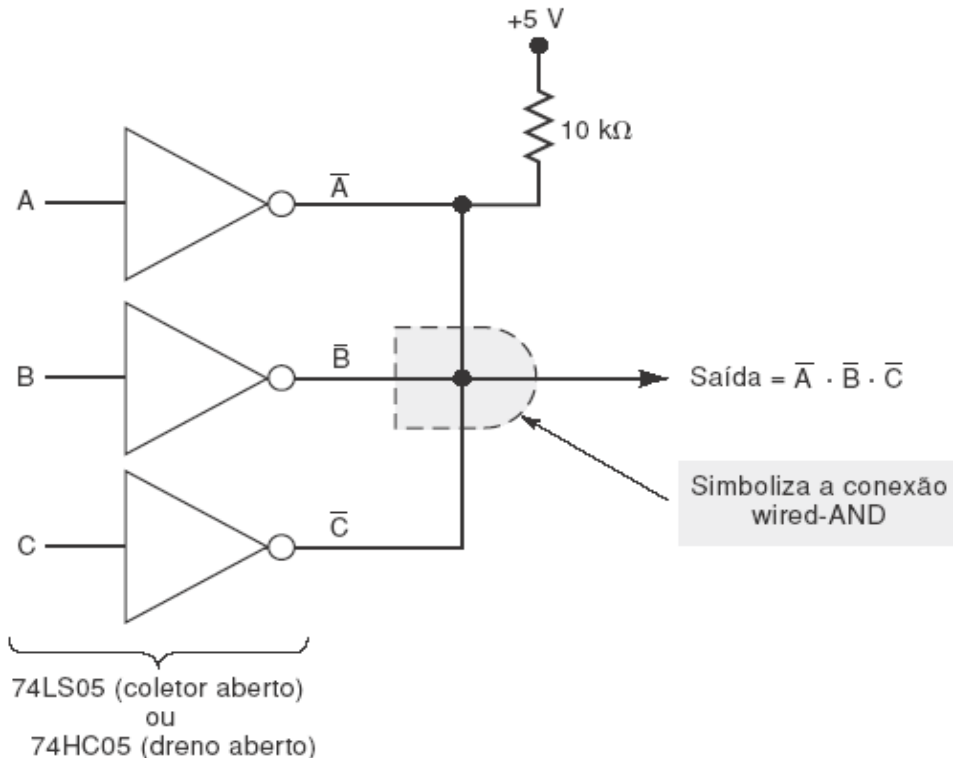
- A solução para o compartilhamento da via é remover o transistor pull-up ativo do circuito de saída de cada porta, fazendo com que nenhuma porta insista no nível lógico alto.
- Os circuitos CMOS assim modificados são chamados de “saídas de dreno aberto”, enquanto os circuitos TTL “saídas de coletor aberto”.

***Neste caso, um resistor  $R_p$  (pull-up) deve ser conectado para estabelecer o nível alto ( $\sim 10\text{ k}\Omega$ ).***

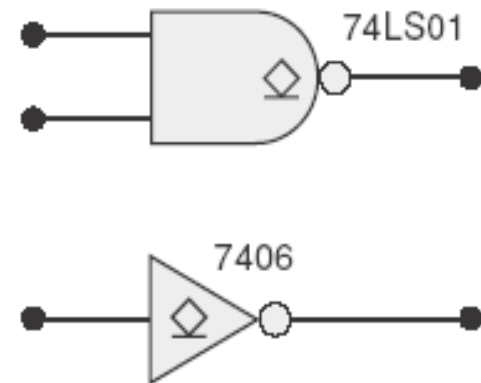


# Saída em Coletor Aberto

- Quando várias portas com saídas de coletor (ou dreno) aberto compartilham uma conexão em comum, a saída estará em nível baixo quando qualquer uma das saídas estiver em nível baixo – **wired-AND**.
- Os dispositivos de coletor aberto são lentos no chaveamento de nível baixo para nível alto e, portanto, não são usados em aplicações de alta velocidade.



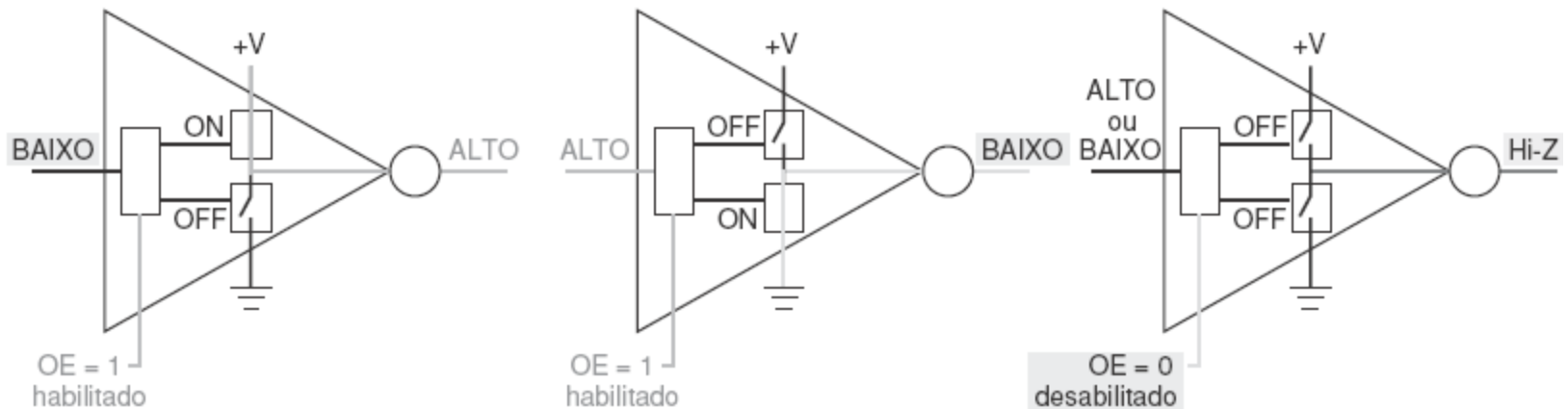
## Simbologia IEEE





# Saídas Lógicas Tristate (Três Estados)

- Circuito de saída usado nas famílias TTL e CMOS.
- Aproveita a operação em alta velocidade da configuração totem-pole, permitindo que as saídas compartilhem um fio comum.
- Permite três estados: ALTO, BAIXO e ALTA IMPEDÂNCIA (Hi-Z) – transistores de saída (pull-up e pull-down) desligados.
- A entrada **enable (E)** ou **output enable (OE)** determina se a porta está em funcionamento normal ou em alta impedância.
  - OE = 1, circuito em operação normal
  - OE = 0, circuito em Hi-Z (ambos os transistores em corte)

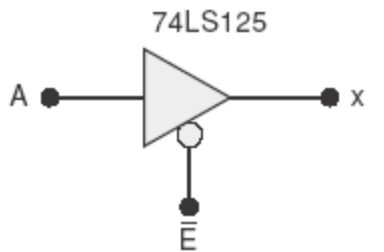


# Saídas Tristate

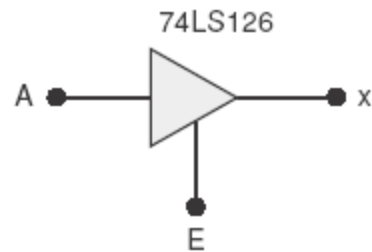
- As saídas podem ser conectadas juntas sem sacrificar a velocidade.
- Apenas uma saída deve ser habilitada de cada vez, caso contrário haverá conflito de nível lógico.

## Buffer Tristate

Circuito utilizado para controlar a passagem do sinal lógico da entrada para a saída.

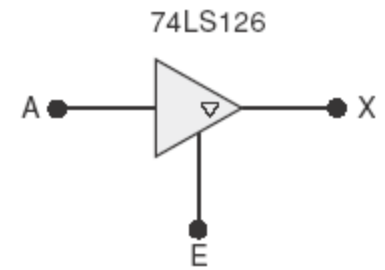
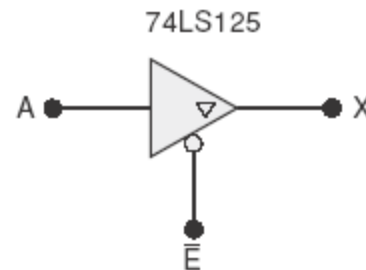


$\bar{E}$	x
0	A
1	Alta impedância



E	x
0	Alta impedância
1	A

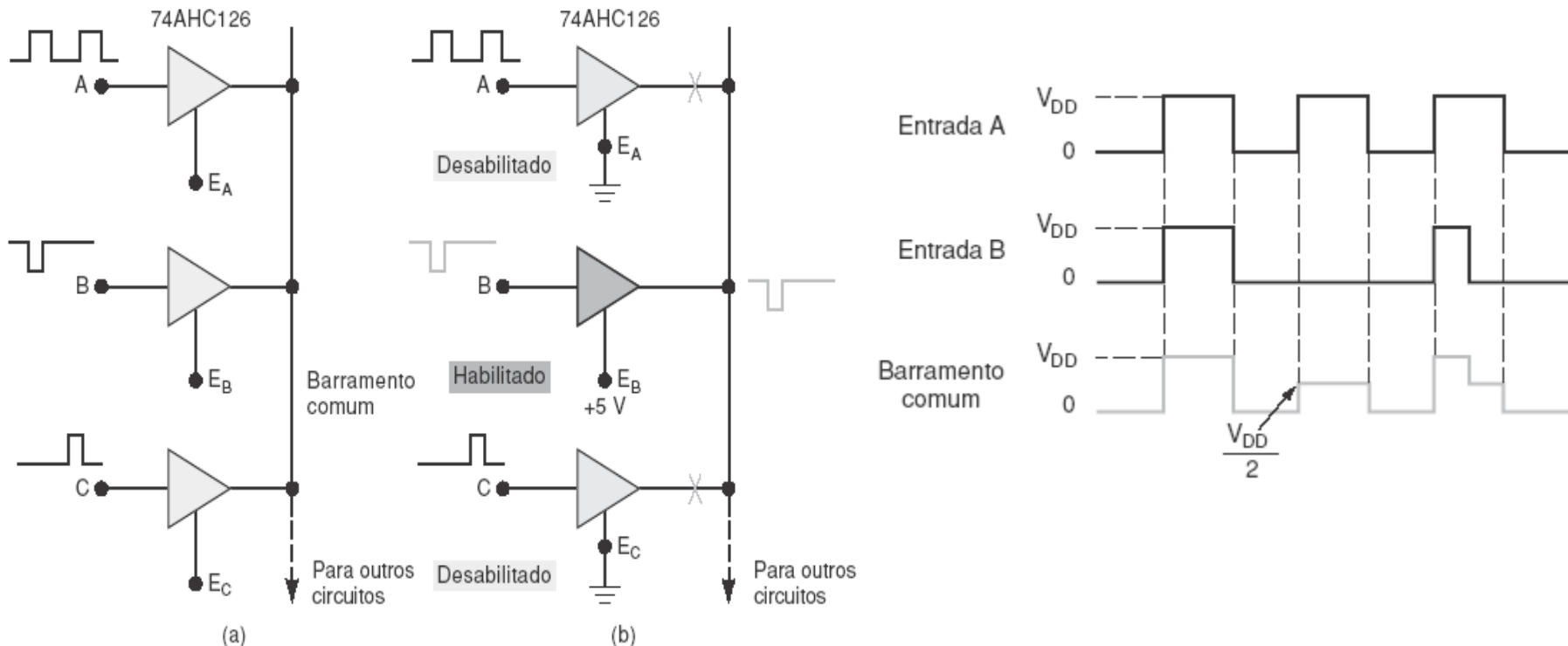
## Simbologia IEEE



# Compartilhando uma Via (Barramento)

Na figura (a) qualquer um dos três sinais pode ser conectado à via, habilitando o buffer apropriado.

Na figura (b) ( $E_B = 1$ ,  $E_A = E_C = 0$ ) mostra-se o sinal B conectado à via – demais saídas “desconectadas”.



**Contenção de barramento:** Se duas saídas forem ativadas juntas, além da produção de correntes elevadas, a via terá um sinal de tensão na faixa indeterminada (quando em níveis diferentes).