

Eletrônica Digital

Flip-Flops (Aplicações)

Prof. Rômulo Calado Pantaleão Camara

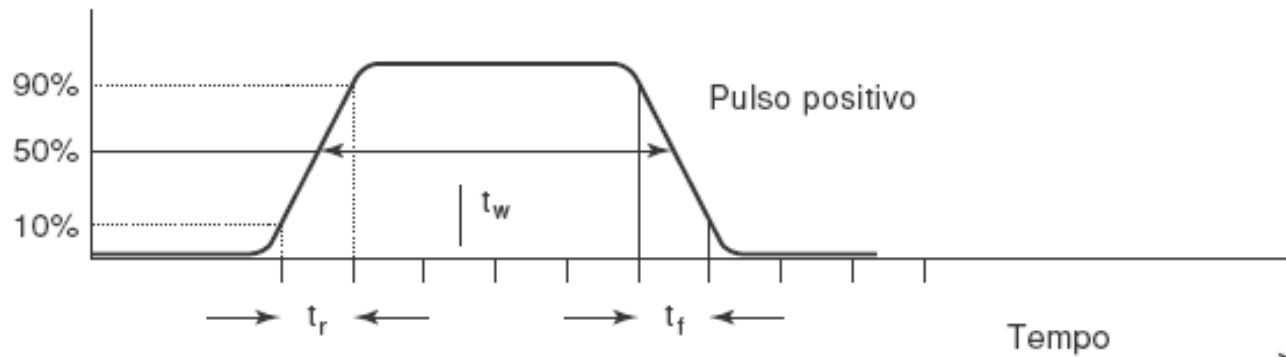
Carga Horária: 2h/60h

Pulsos Digitais

Pulso positivo: executa sua função quando está em nível alto

Pulso negativo: executa sua função quando está em nível baixo

- Na prática leva tempo para o pulso passar de um nível para outro.

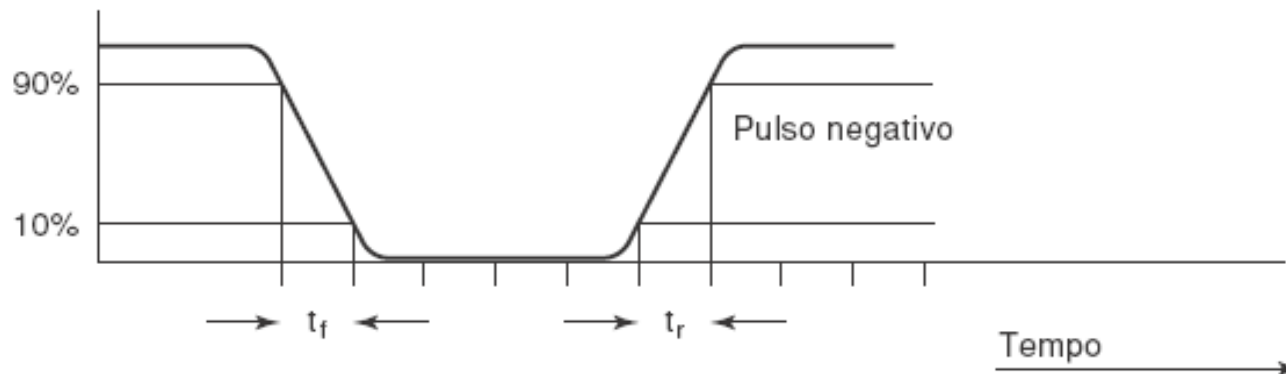


(a)

$t_r = \text{rise time}$

$t_f = \text{fall time}$

$t_w = \text{width time}$



Borda de subida

Borda de descida

(b)

Considera-se o tempo entre 10% e 90%

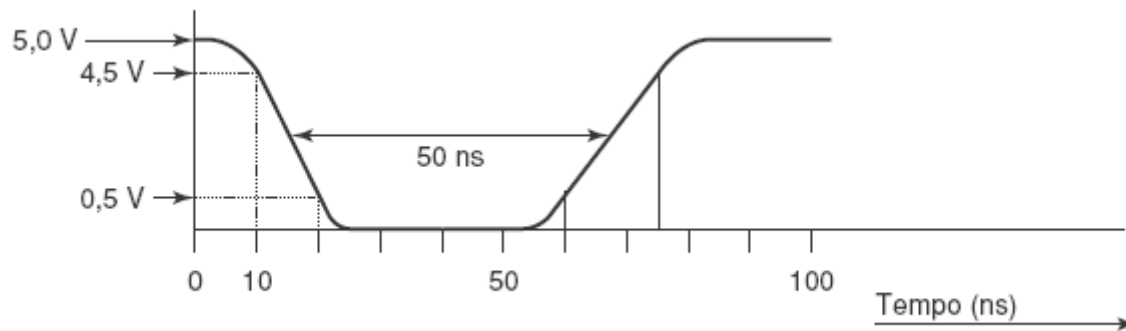
Pulsos Digitais (cont.)

Exemplo:

Conforme especificado o sinal RD' (read), utilizado para um computador acessar sua memória externa, tem as seguintes características:

- Ativo baixo;
- Largura de 50ns;
- Tempo de subida de 15ns;
- Tempo de descida de 10ns.

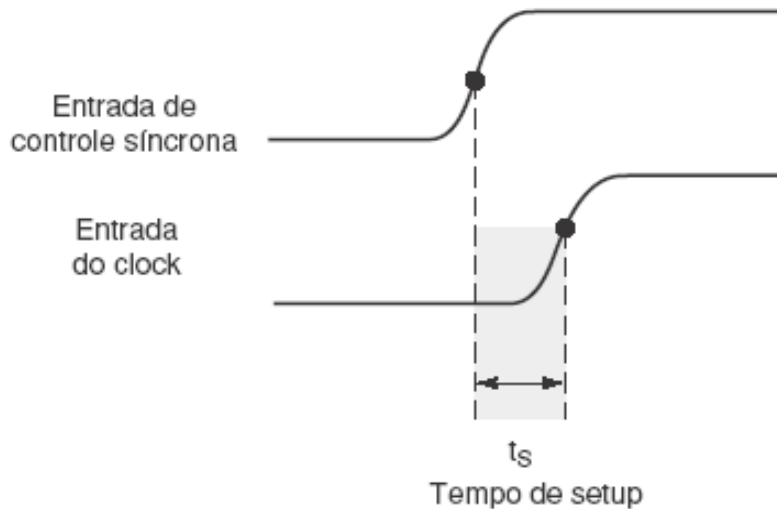
Desenhe o pulso RD'.



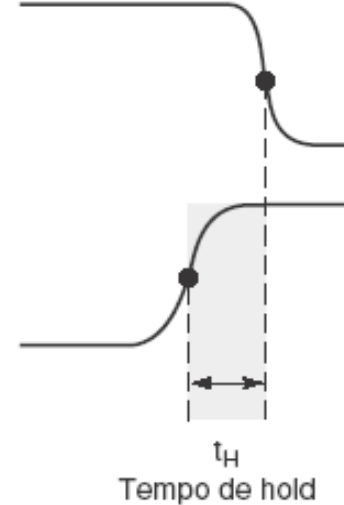
Parâmetros de Temporização

Tempos de Setup (preparação) e Hold (manutenção)

Tempos que devem ser mantidos nas entradas dos FFs relativos ao sinal do relógio para garantir resposta adequada.



Tempo de setup, t_s . Tempo em que o sinal de controle do FF tem de ser mantido no nível adequado (alto ou baixo) antes da ocorrência do sinal de relógio.



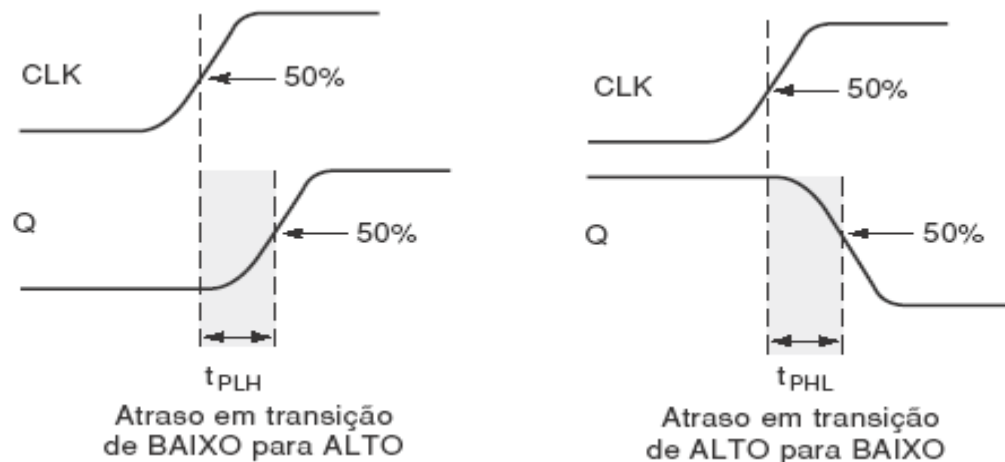
Tempo de hold, t_H . Tempo em que o sinal de controle do FF tem de ser mantido no nível adequado (alto ou baixo) depois da ocorrência do sinal de relógio.

- Os fabricantes de CIs normalmente especificam um $t_s(\text{min})$ e um $t_H(\text{min})$;
- Para garantir uma operação confiável do FF as entradas de controle devem permanecer estáveis por um intervalo de $t_s(\text{min})$ a $t_H(\text{min})$.

Parâmetros de Temporização (cont.)

Atrasos de propagação.

- FFs não respondem de forma instantânea.
- Atraso é medido a partir do instante em que o sinal de acionamento é aplicado até o instante em que a saída comuta de estado.
- Atraso é medido entre os pontos correspondentes a 50% da amplitude das formas de onda de entrada e saída.
- t_{PLH} e t_{PHL} não necessariamente são iguais, e dependem do número de cargas acionadas



- Os fabricantes normalmente especificam os valores máximos para os atrasos de propagação t_{PLH} e t_{PHL} .

Parâmetros de Temporização (cont.)

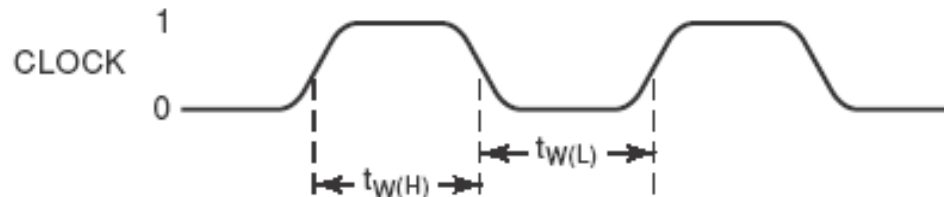
Máxima frequência de clock - f_{\max} : maior frequência que pode ser aplicada na entrada de clock do FF mantendo uma operação confiável.

Exemplo: O CI 7470 (FF J-K) opera com f_{\max} de 20MHz a 35MHz. No entanto, o fabricante garante a operação confiável em até 20MHz.

Tempos de duração do pulso de relógio.

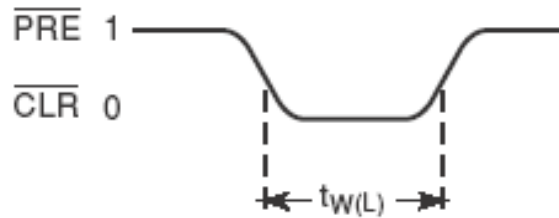
$t_{W(L)}$ Tempo mínimo que o sinal CLK deve permanecer em estado BAIXO antes de ir para o estado ALTO.

$t_{W(H)}$ Tempo mínimo que o sinal CLK deve permanecer em estado ALTO antes de ir para o estado BAIXO.



Parâmetros de Temporização (cont.)

Largura de pulsos assíncronos ativos: tempo mínimo que as entradas CLR' e PR' devem ser mantidos em nível ativo para *setar* ou *ressetar* o FF de modo confiável.



Tempos de transição do clock: para manter uma operação confiável, os tempos de transição da forma de onda do clock (tempos de subida e descida) devem ser muito pequenos.

- Se o tempo de transição for grande, o FF pode disparar indevidamente.
Valor típico TTL: < 50 ns

Parâmetros de Temporização (cont.)

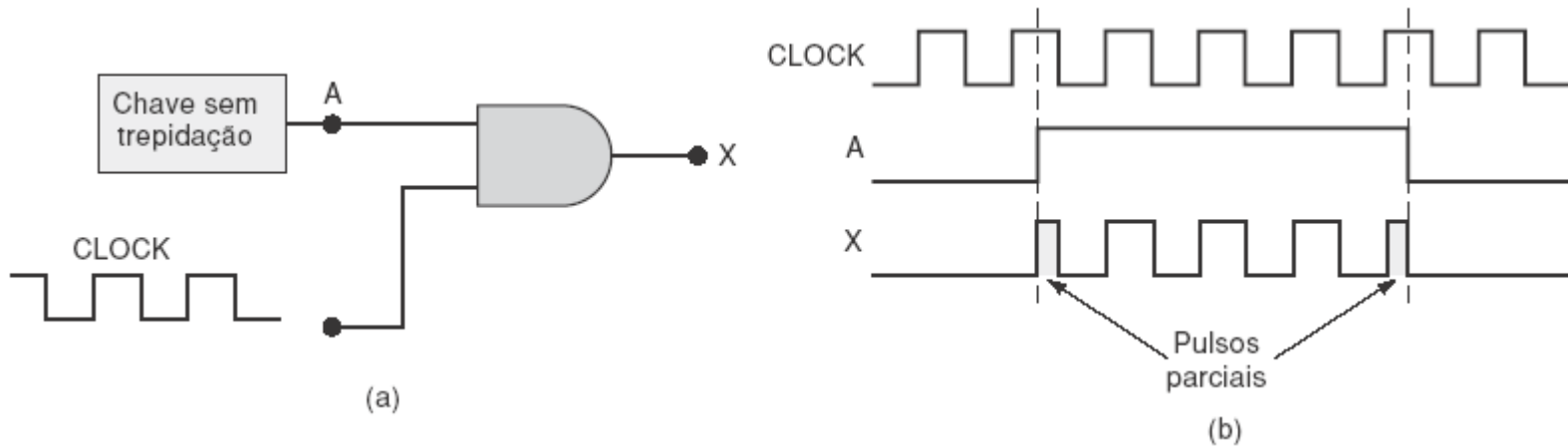
TABELA 5.2 Parâmetros de temporização de flip-flop (em nanossegundos)

	TTL		CMOS	
	7474	74LS112	74C74	74HC112
t_S	20	20	60	25
t_H	5	0	0	0
t_{PHL} de CLK para Q	40	24	200	31
t_{PLH} de CLK para Q	25	16	200	31
t_{PHL} de \overline{CLR} para Q	40	24	225	41
t_{PLH} de \overline{PRE} para Q	25	16	225	41
$t_{W(L)}$ CLK tempo no nível BAIXO	37	15	100	25
$t_{W(H)}$ CLK tempo no nível ALTO	30	20	100	25
$t_{W(L)}$ em \overline{PRE} ou \overline{CLR}	30	15	60	25
f_{MAX} em MHz	15	30	5	20

- Somente os atrasos de propagação são valores máximos.
- Todos os FF têm t_H muito baixo, comum atualmente.

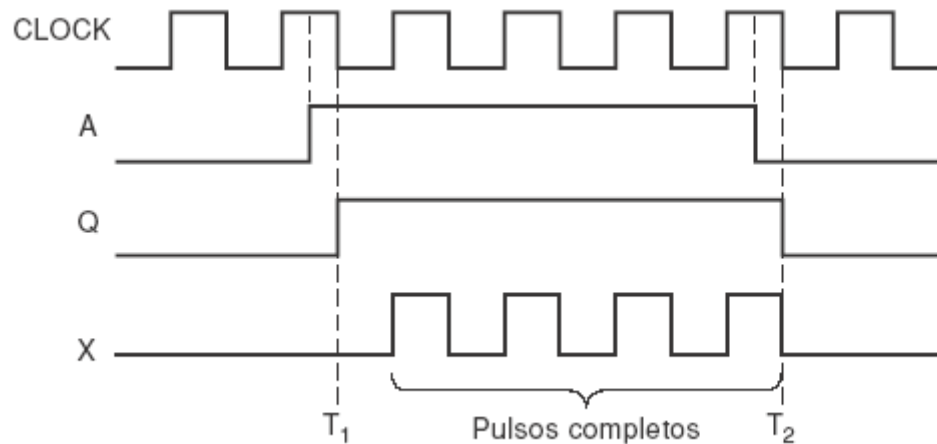
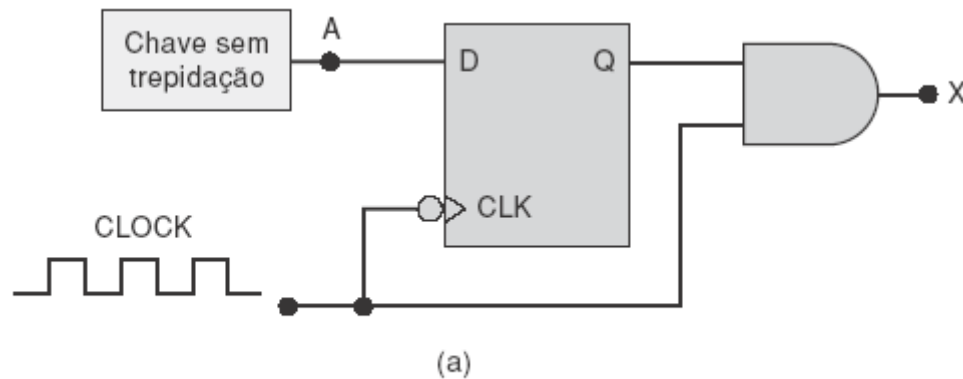
Sincronização de Flip-Flops

- A maioria dos FF opera de forma síncrona, mudando de estado em sincronismo com o sinal de clock.
- O FF pode ser utilizado para sincronizar um sinal assíncrono A (externo) e evitar o efeito de possíveis problemas (pulsos parciais).



Sincronização de Flip-Flops (cont.)

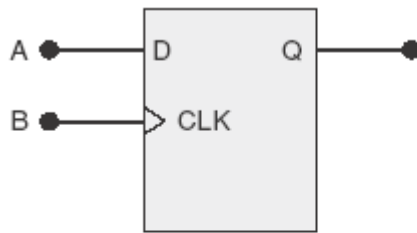
- Um FF tipo D disparado por borda é usado para sincronizar o sinal externo com a borda de descida do clock.



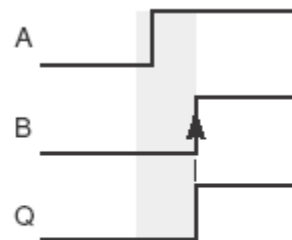
- Não são gerados pulsos parciais.

Detectando uma Sequência de Entrada

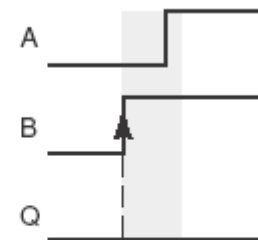
- Uma porta AND pode detectar se duas entradas estão ativas, mas não a sequência de ativação das entradas.
- Utilizando um FF, é possível detectar a sequência de ativação das entradas, o que as vezes é requerido em situações práticas.



(a)



(b) chega no nível ALTO antes de B



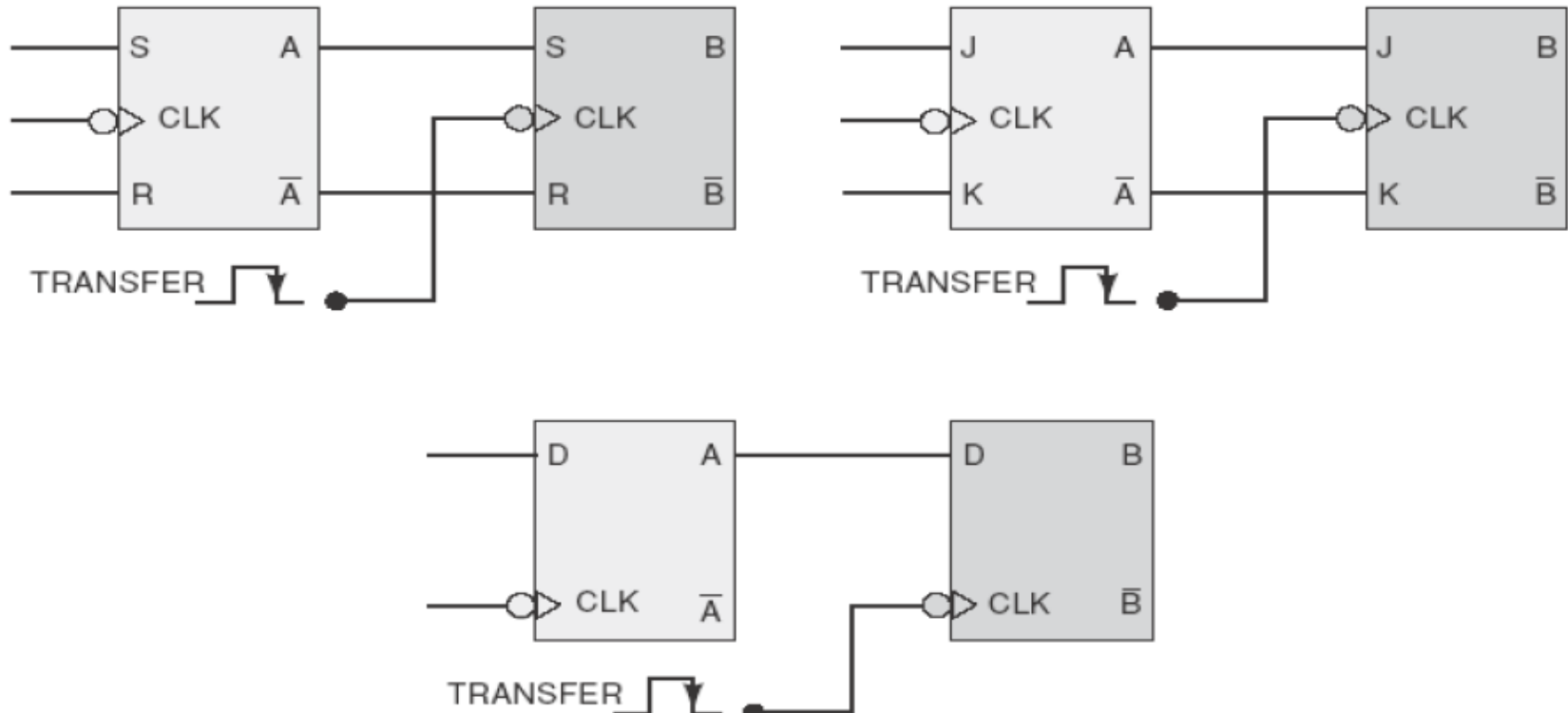
(c) B chega no nível ALTO antes de A

Obs: Para o circuito funcionar adequadamente, a entrada **A** deve estar em nível alto por, pelo menos, um tempo igual ao tempo de setup do FF.

Armazenamento e Transferência de Dados

- Uso mais comum do Flip-Flop: armazenamento de dados.
- Registrador: agrupamento de FFs, utilizados para manipulação e armazenamento de dados

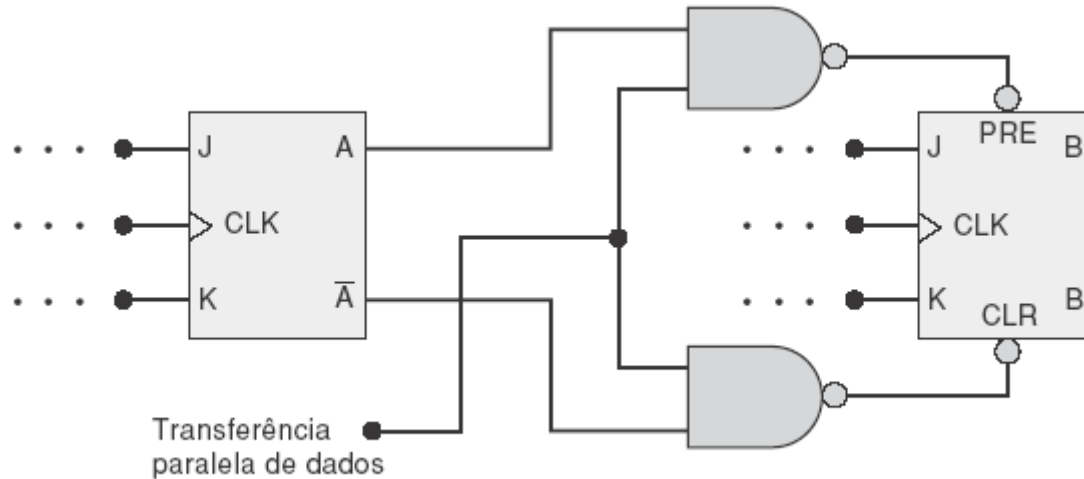
Exemplo: Transferência *síncrona* entra diversos tipos de FF (foram utilizadas o clock e as entradas síncronas)



- Após a borda de descida o valor de **A** é transferido para **B**.

Armazenamento e Transferência de Dados (cont.)

- Na transferência **assíncrona**, são utilizadas as entradas assíncronas CLEAR e PRESET.

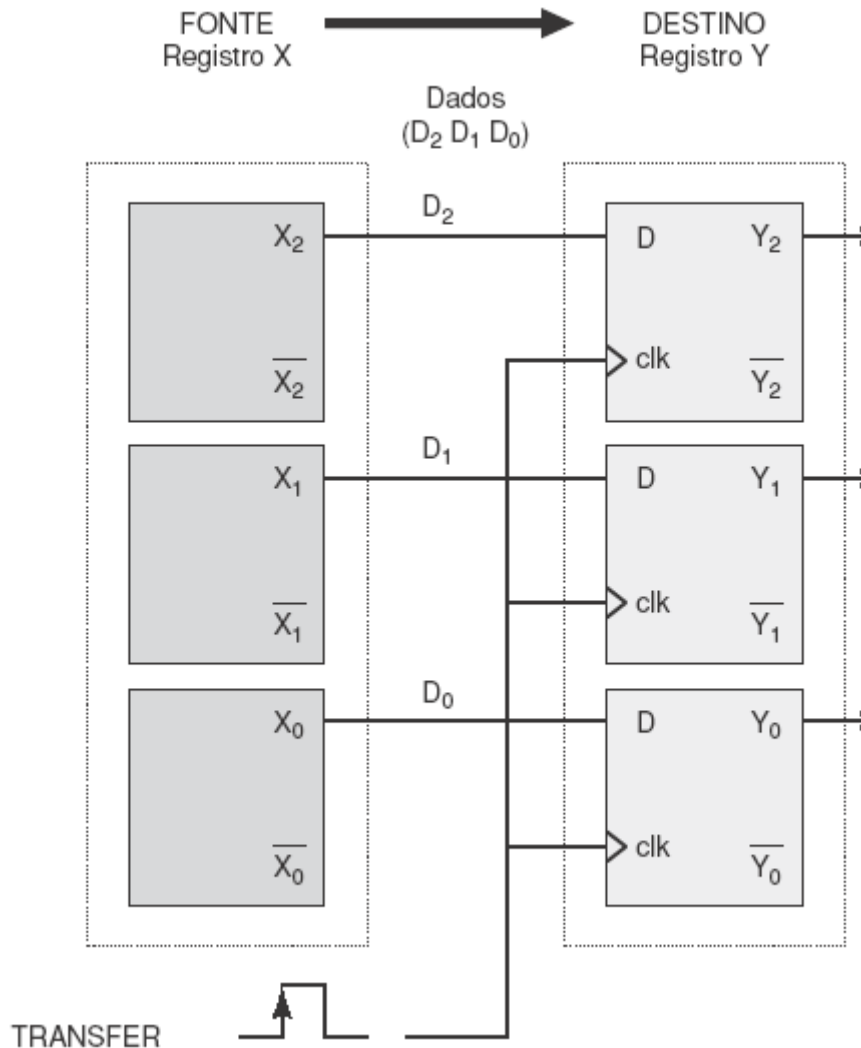


Linha de transferência de dados:

- Se nível 0, as entradas PRE' e CLR' permanecem desabilitadas;
- Se nível 1, a saída de uma NAND é habilitada, definindo a saída B.

Armazenamento e Transferência de Dados (cont.)

Transferência Paralela de Dados

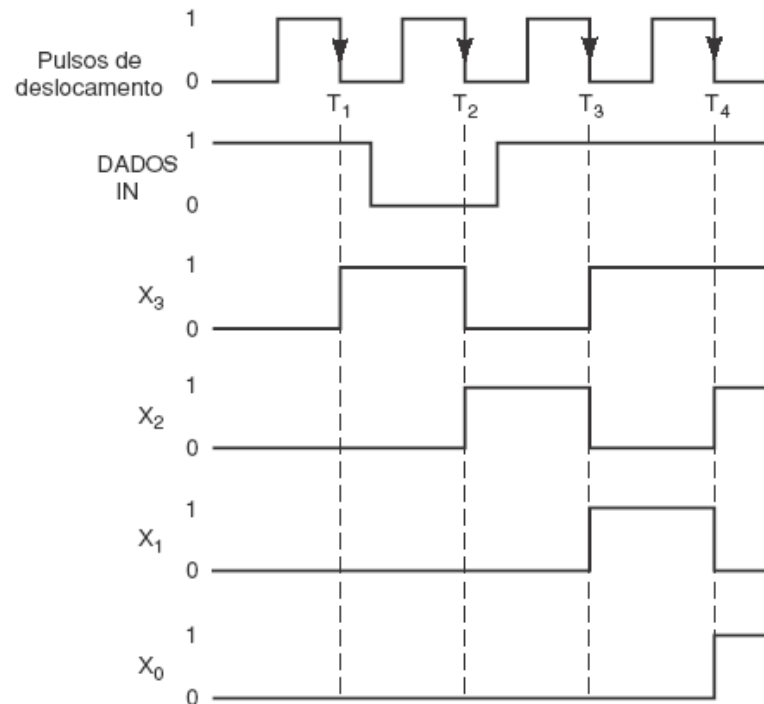
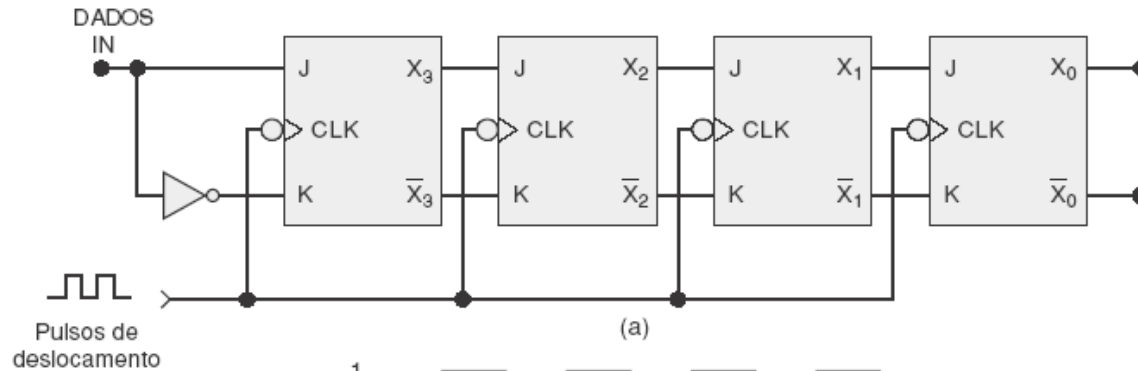


- A transferência é síncrona.
- Os dados são transferidos simultaneamente.
- Não há alteração do FF que é a origem do dado.

Armazenamento e Transferência de Dados (cont.)

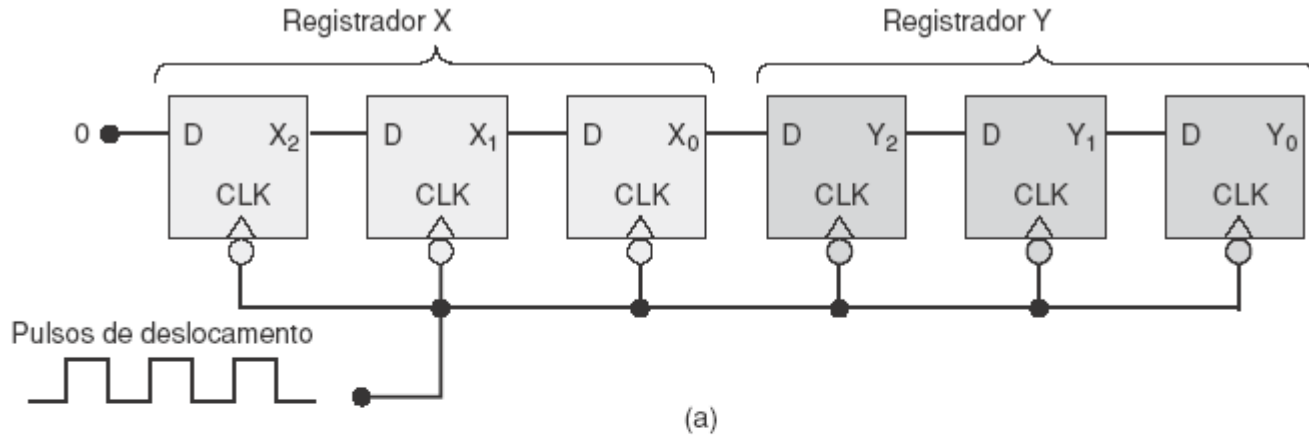
Transferência Serial de Dados

Registrador de deslocamento



Armazenamento e Transferência de Dados (cont.)

Transferência serial entre registradores



X_2	X_1	X_0	Y_2	Y_1	Y_0	
1	0	1	0	0	0	← Antes de os pulsos serem aplicados
0	1	0	1	0	0	← Depois do primeiro pulso
0	0	1	0	1	0	← Depois do segundo pulso
0	0	0	1	0	1	← Depois do terceiro pulso

Considere os mesmos valores iniciais acima. Qual o valor de cada FF após 6 pulsos, se $D = 1$?

Armazenamento e Transferência de Dados (cont.)

Transferência serial x Transferência paralela

Paralela:

Vantagem: transferência simultânea, independente do número de bits (maior velocidade)

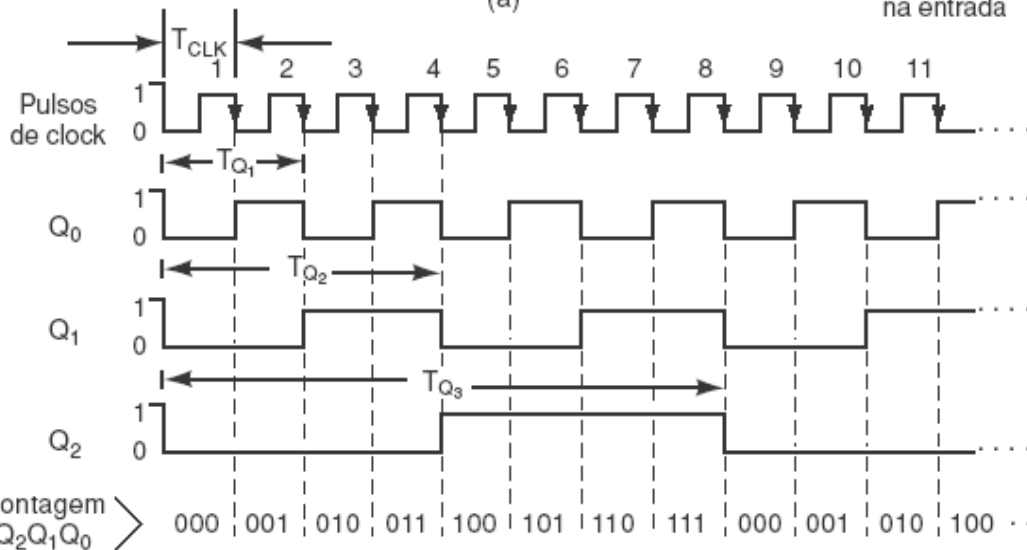
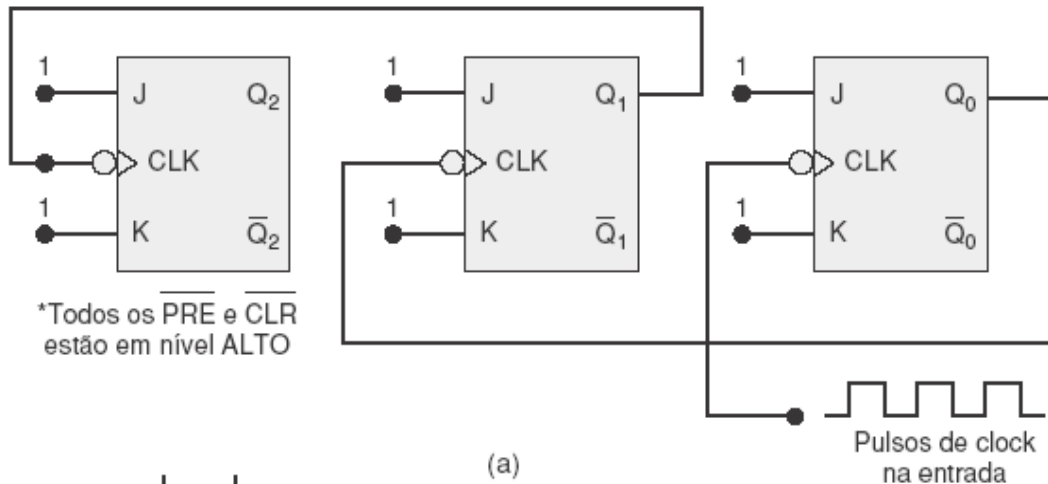
Desvantagem: Requer maior número de conexões (mais complexa).

Serial

Vantagem: mais simples, requer menos conexões (apenas um FF de um registrador é conectado a outro).

Desvantagem: necessita de N pulsos de clock para transmitir N bits (mais lenta).

Divisão de frequência e Contagem



- Cada FF tem suas entradas J e K em nível lógico 1.

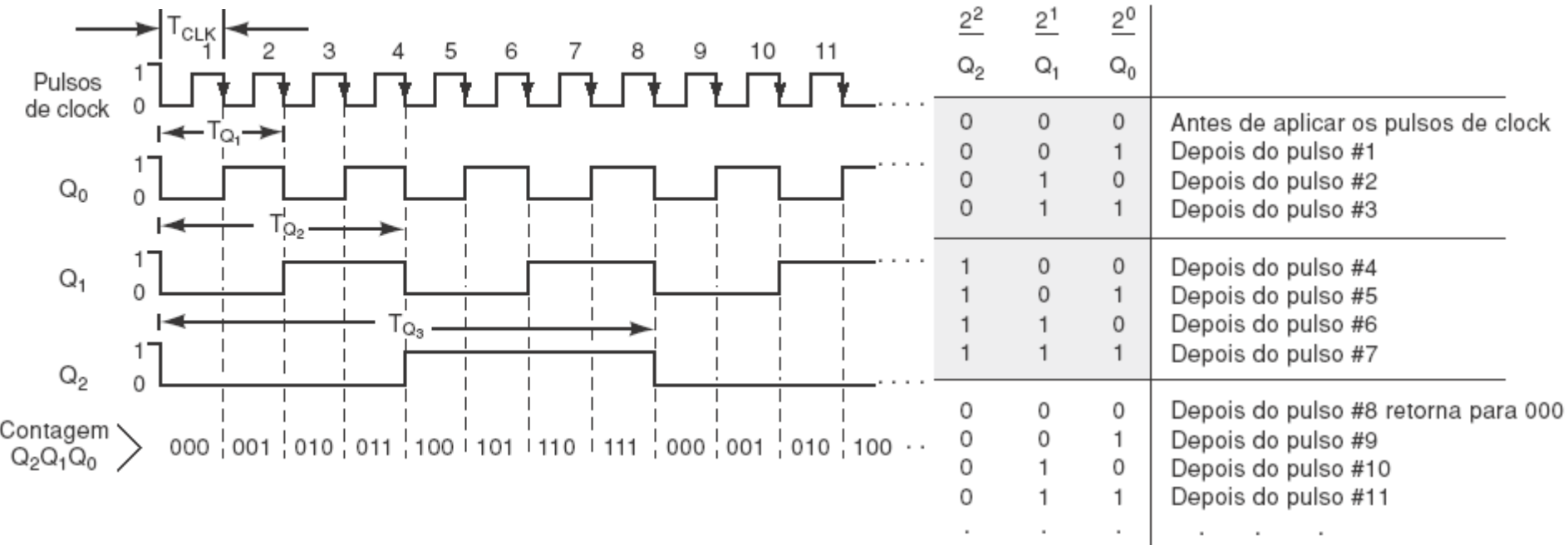
- Os pulsos de relógio são aplicados apenas na entrada CLK do FF Q_0 .

- As saídas dos FFs servem como a entrada de relógio de FFs subsequentes.

Divisão de frequência e Contagem (cont.)

Operação de Contagem:

Observando o diagrama de tempo da figura, pode ser visto que o divisor de frequência funciona também como um contador binário.



- Após o primeiro pulso (borda de descida), os FFs passam para o estado 001 (1_{10}).

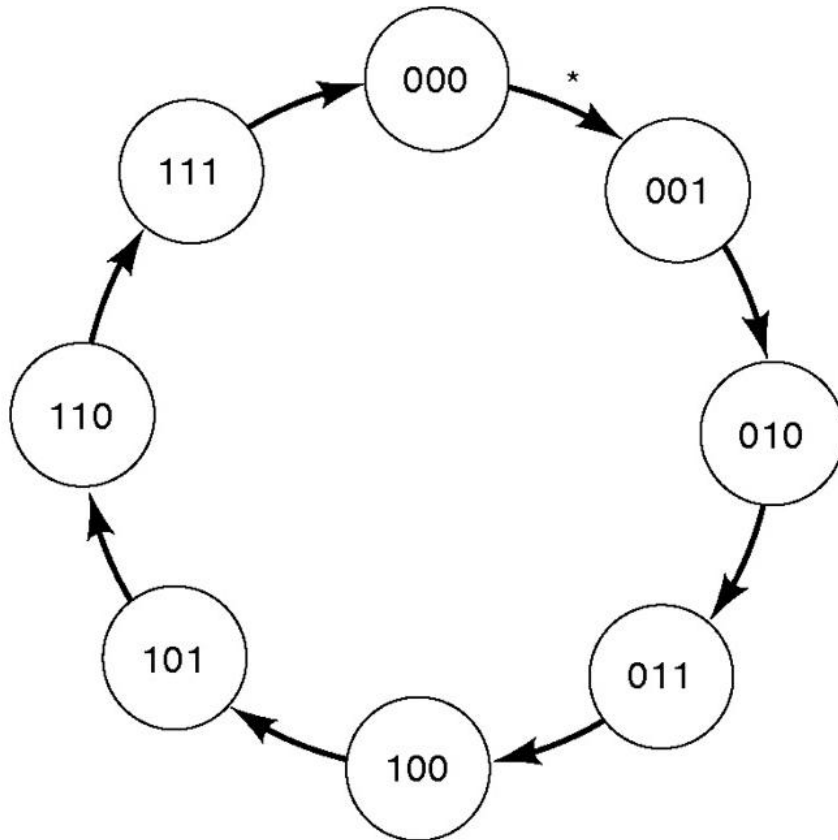
- Após a segunda borda, os FFs passam para o estado 010 (2_{10}), e assim por diante.

- A sequência completa de contagem corresponde ao número de pulsos de relógio aplicados.

Divisão de frequência e Contagem

Diagrama de Transição de Estados:

Outra forma de ver a mudança dos estados dos FFs a cada pulso e relógio é pelo uso de um diagrama de transição de estados.



- Cada círculo representa um estado possível.

- Cada seta representa a ocorrência de um pulso de relógio.

Módulo do contador. O módulo do contador corresponde ao número de estados.

O diagrama da figura tem 8 estados e tem portanto, módulo 8 (2^3).

Divisão de frequência e Contagem (cont.)

Exercícios:

- 1) Caso o contador módulo 8 esteja no estado 101, qual a contagem após 13 pulsos?

- 2) Considere um contador com 6 Ffs.
 - a) Determine o módulo deste contador
 - b) Determine a frequência da saída Q_5 quando o clock for de 1 MHz.
 - c) Determine a faixa de estados do contador.
 - d) Se o estado inicial é 000000, qual o estado após 129 pulsos?

Divisão de frequência e Contagem (cont.)

Exercícios:

1) Caso o contador módulo 8 esteja no estado 101, qual a contagem após 13 pulsos?

Sol: Observando-se o diagrama de estados, saltamos 13 vezes e chegamos ao estado 010. Observe que a cada 8 transições, o contador faz uma excursão completa no diagrama de estados (módulo 8).

2) Considere um contador com 6 Ffs.

a) Determine o módulo deste contador

b) Determine a frequência da saída Q_5 quando o clock for de 1 MHz.

c) Determine a faixa de estados do contador.

d) Se o estado inicial é 000000, qual o estado após 129 pulsos?

Sol a) Módulo = $2^6 = 64$.

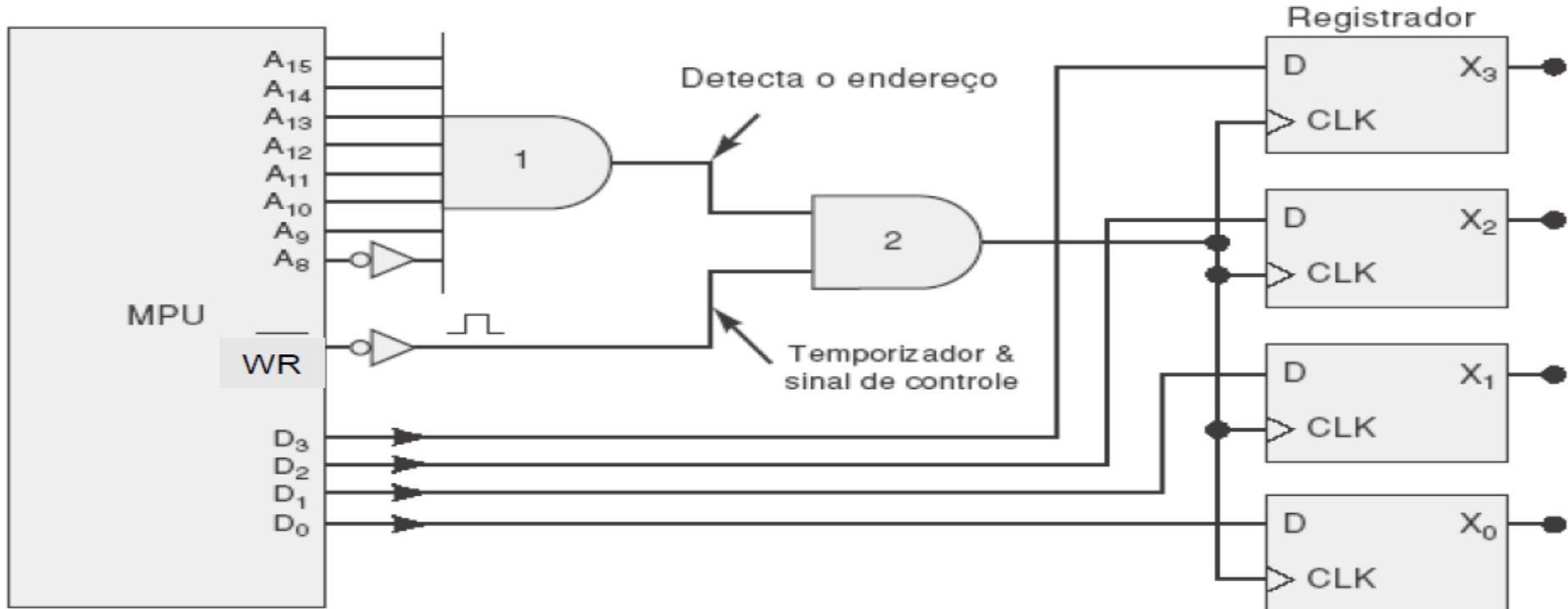
b) $f_{Q_5} = f_{\text{clock}} / 64 = 1 \text{ MHz} / 64 = 15,625 \text{ kHz}$

c) Vai de 000000_2 a 111111_2 (0_{10} a 63_{10}) o que dá 64 estados.

d) Como o contador tem módulo 64, após 128 pulsos ele está no estado 0. Assim, após 129 pulsos, ele estará no estado 000001_2 .

Aplicação em Microcomputador

- Aplicação típica de registradores em sistema microprocessado.



MPU – Unidade central de processamento: executa instruções.

A₁₅ - A₈ – linhas de endereçamento.

D₂ - D₀ – linhas de dados

Exemplo de instrução:

1 – coloca número binário na saída de dados D

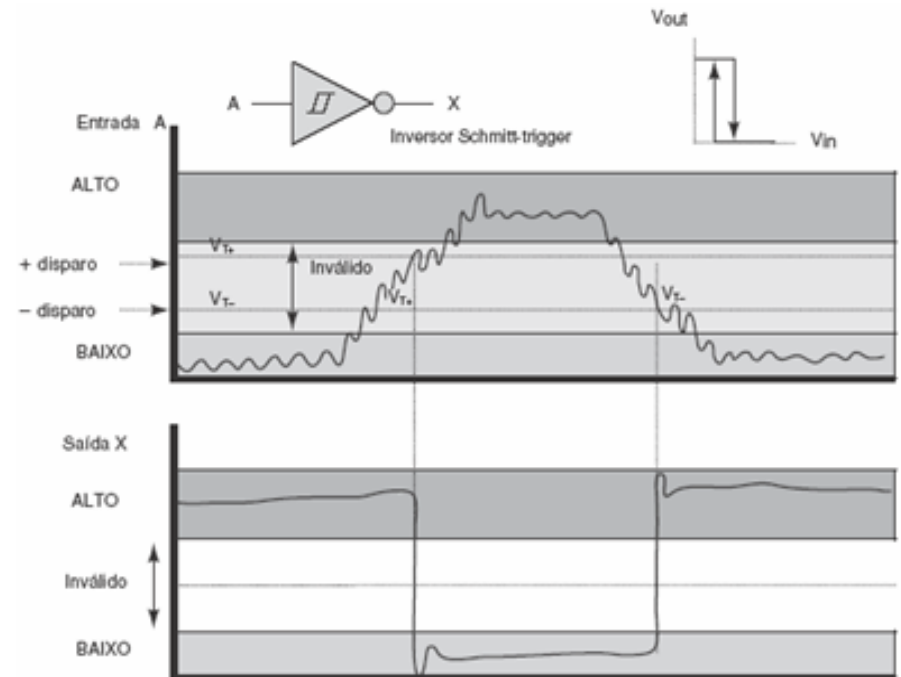
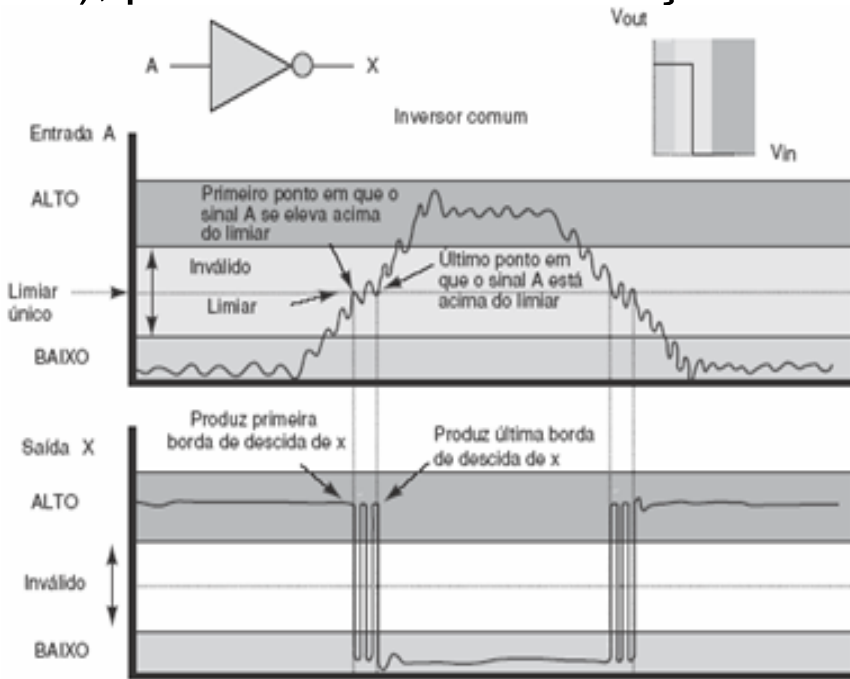
2 – coloca código de endereço na saída de endereços para selecionar X

3 – gera pulso em WR' para escrever em X.

Dispositivos Schmitt-Trigger

Dispositivo que, apesar de não ser FF, exibe características de memória.

Útil para eliminar flutuações espúrias de sinais com transições lentas (fig. a), permitindo obter transições livres de oscilações (fig. b).



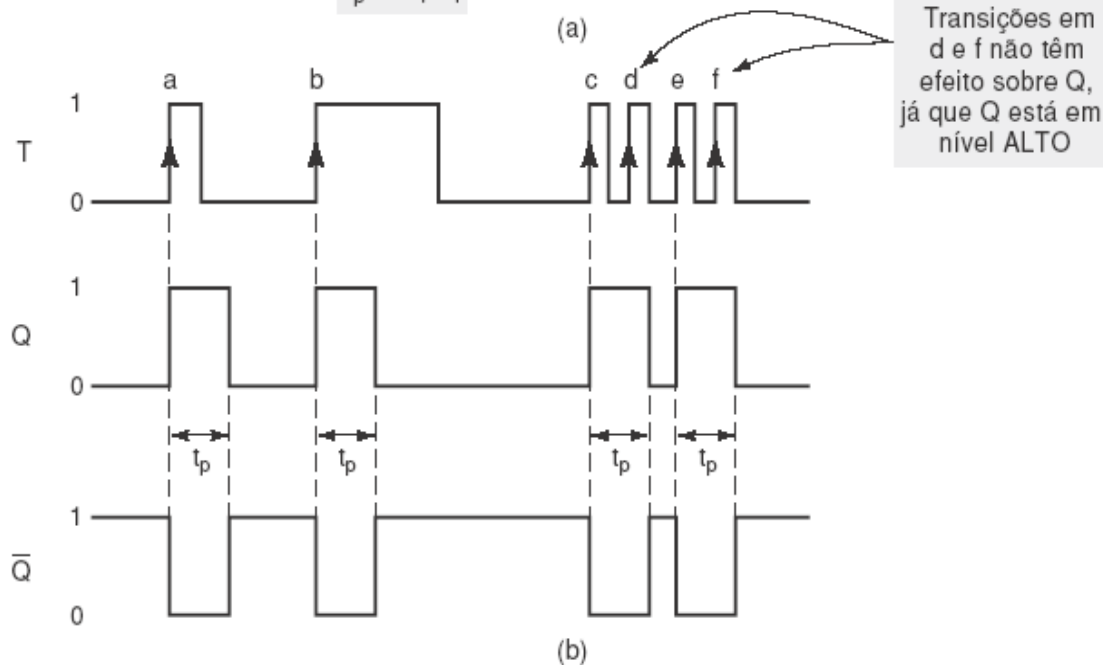
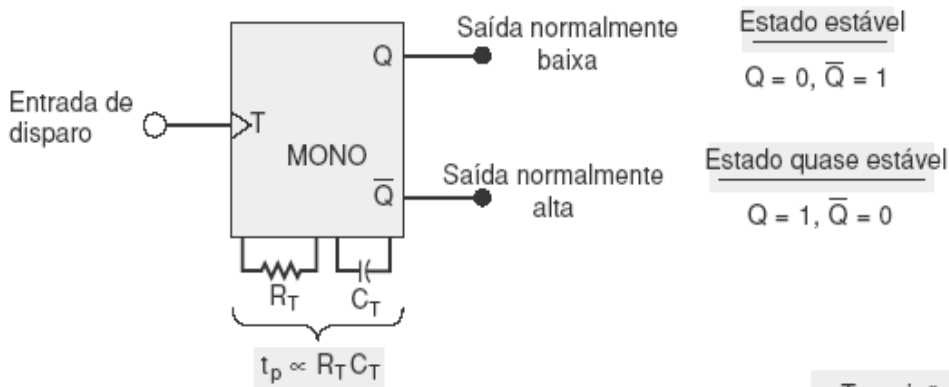
- A saída só muda de estado quando a entrada ultrapassa a tensão de disparo V_{T+} . Permanece neste estado mesmo se entrada cai abaixo de V_{T+} .
- Quando o limiar V_{T-} é atingido, a saída muda de estado.

Multivibrador monoestável

- O circuito monoestável se diferencia de um FF por só ter um estado estável (normalmente $Q = 0$, $Q' = 1$).
- A saída permanece nesse estado até que seja disparado por um sinal de entrada.
- Uma vez disparado, a saída comuta para o estado oposto ($Q = 1$, $Q' = 0$). Esse estado é denominado de **estado quase estável**.
- A saída permanece no estado quase-estável por um período de tempo t_p , determinado por uma constante de tempo RC.
- O resistor e o capacitor que determinam a constante de tempo são elemento externos conectados ao monoestável.
- Transcorrido o tempo t_p , a saída retorna a seu estado de repouso até a ocorrência de um novo pulso.
- Há dois tipos disponíveis comercialmente, o monoestável não redisparável e o monoestável redisparável.

Multivibrador monoestável

Monoestável não-redisparável.



-As bordas positivas em *a*, *b*, *c* e *e* disparam o monoestável durante o tempo t_p .

- Observe que as bordas em *d* e *f* não têm efeito sobre o monoestável.

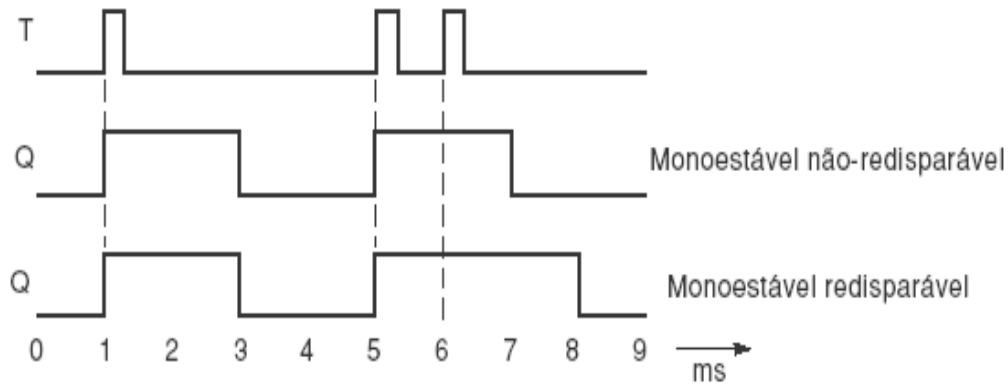
- A duração do pulso do monoestável é sempre a mesma pois depende da constante de tempo.

- Típicamente, o monoestável pode ter um tempo:

$$t_p = 0.693 R_T C_T.$$

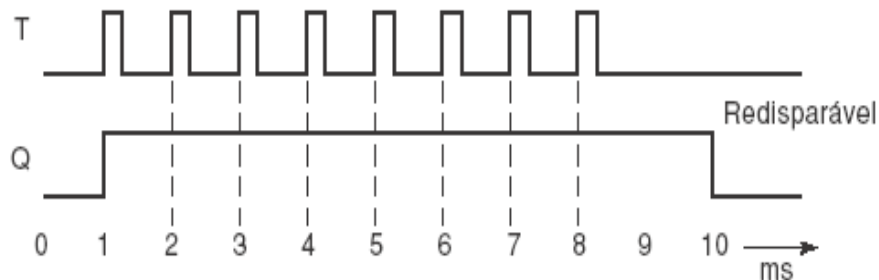
Multivibrador monoestável

Monoestável redisparável.



(a)

$$t_p = 2 \text{ ms}$$



(b)

$$t_p = 2 \text{ ms}$$

- Funciona de forma similar ao anterior, exceto pelo fato de poder ser redisparado enquanto está no estado quase estável.

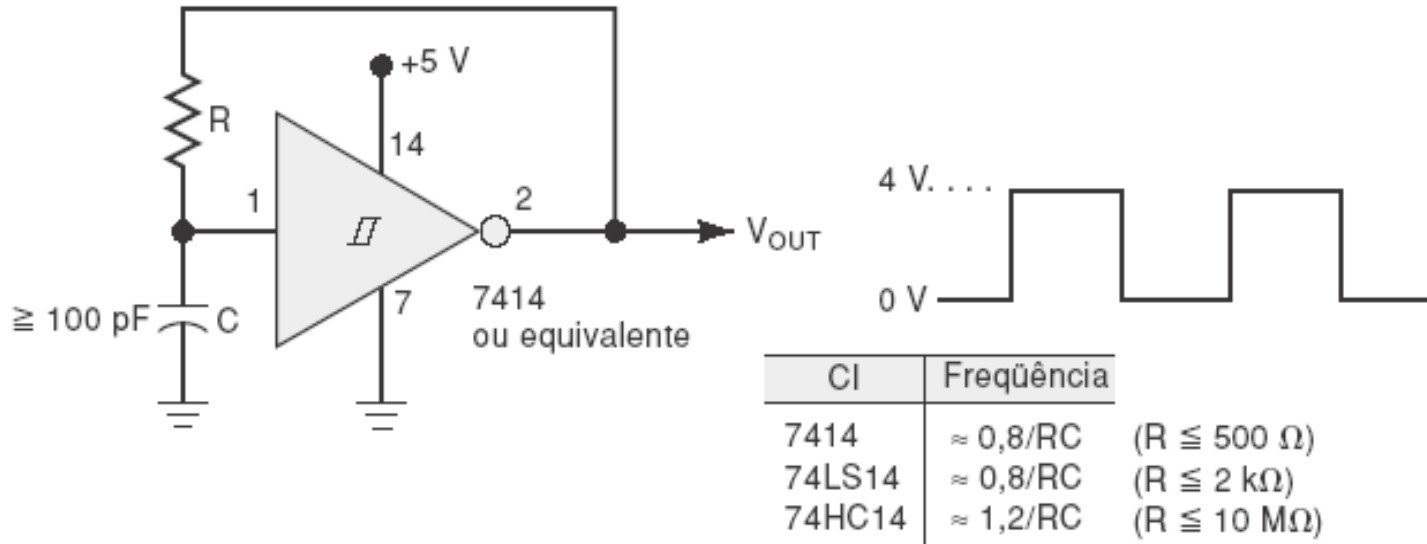
- No caso de ser redisparado, recomeça a contagem de um novo intervalo de tempo t_p .

Na parte (b) da figura, o monoestável redisparável inicia a temporização de um novo intervalo t_p a cada pulso de disparo recebido.

Circuitos Geradores de Clock

- Circuitos geradores de clock podem ser obtidos usando outro tipo de multivibrador conhecido como multivibrador astável. A saída nesses dispositivos oscila entre dois estados instáveis.
- Encontram aplicação tipicamente na geração do sinal de relógio para circuitos digitais síncronos.

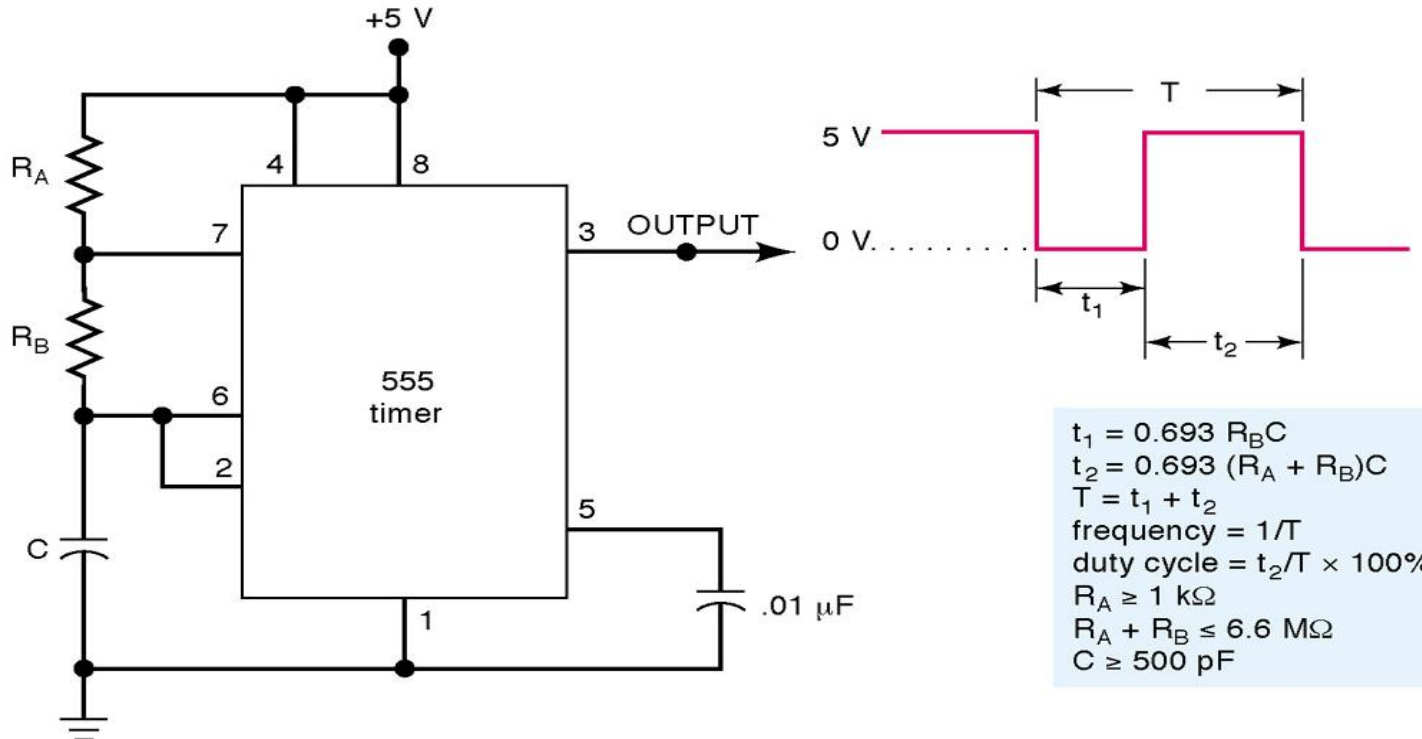
Oscilador Schmitt-Trigger



Circuitos Geradores de Clock

Temporizador 555

- É um dispositivo que pode ser usado como multivibrador astável (sem orientação particular).
- Sua saída é uma onda retangular repetitiva.
- O intervalo de tempo em cada nível é determinado pelos valores de R_A , R_B e C .
- Núcleo composto por dois comparadores de tensão e um FF S-R.



$$\begin{aligned}t_1 &= 0.693 R_B C \\t_2 &= 0.693 (R_A + R_B) C \\T &= t_1 + t_2 \\ \text{frequency} &= 1/T \\ \text{duty cycle} &= t_2/T \times 100\% \\ R_A &\geq 1 \text{ k}\Omega \\ R_A + R_B &\leq 6.6 \text{ M}\Omega \\ C &\geq 500 \text{ pF}\end{aligned}$$

Circuitos Geradores de Clock

Cristal

- Circuitos com RC não são muito precisos ou estáveis (temperatura, envelhecimento, etc).
- Geradores a cristal de quartzo são mais precisos e estáveis.
- Cristal é cortado para vibrar em uma dada frequência. Essa vibração é convertida em sinais elétricos.

