

FIGURA 6-1 Representação de números com sinal na forma sinal-magnitude.

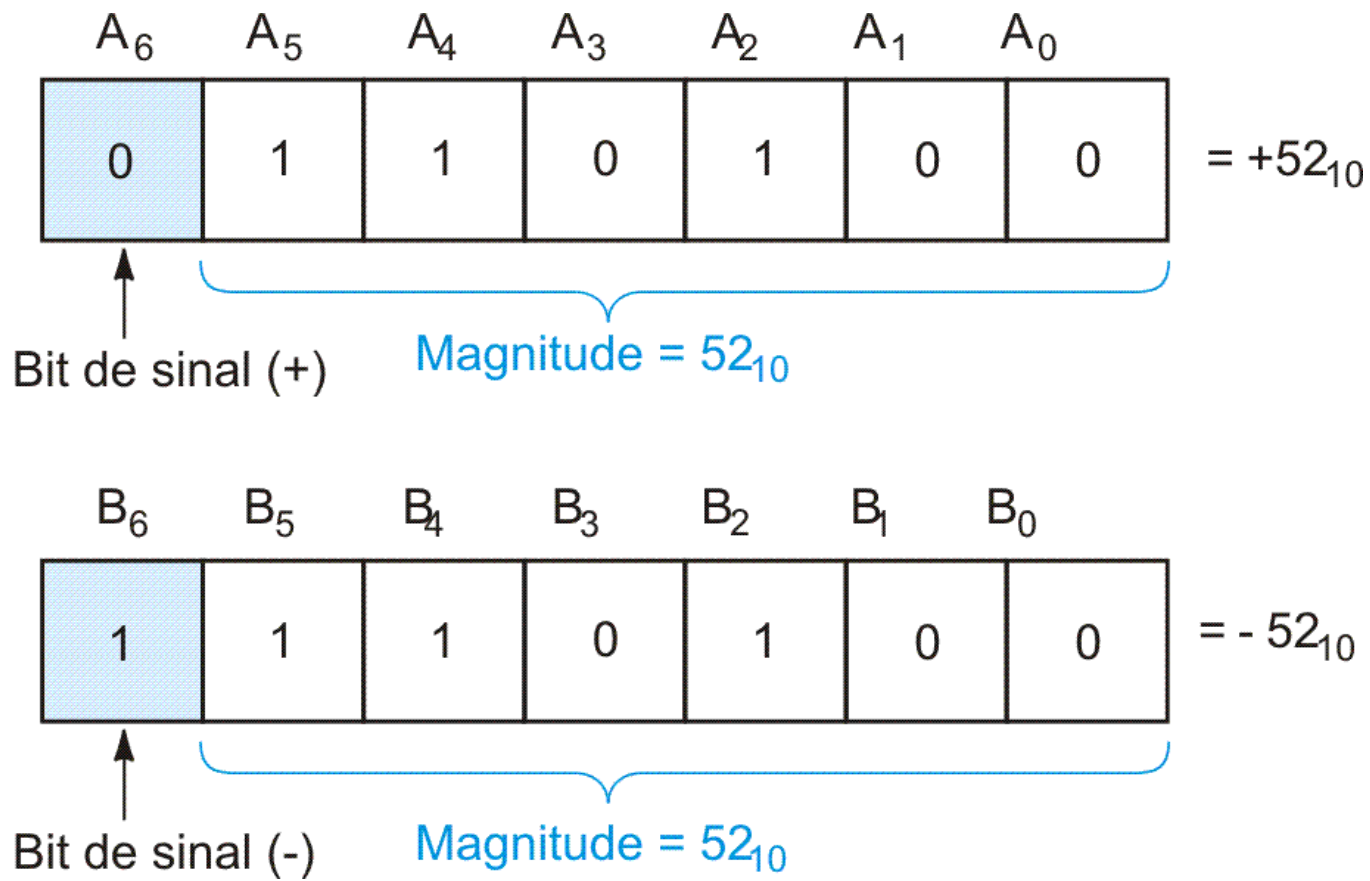


FIGURA 6-2 Representação de números com sinal na forma de complemento de 2.



FIGURA 6-3 Blocos funcionais de uma ALU.

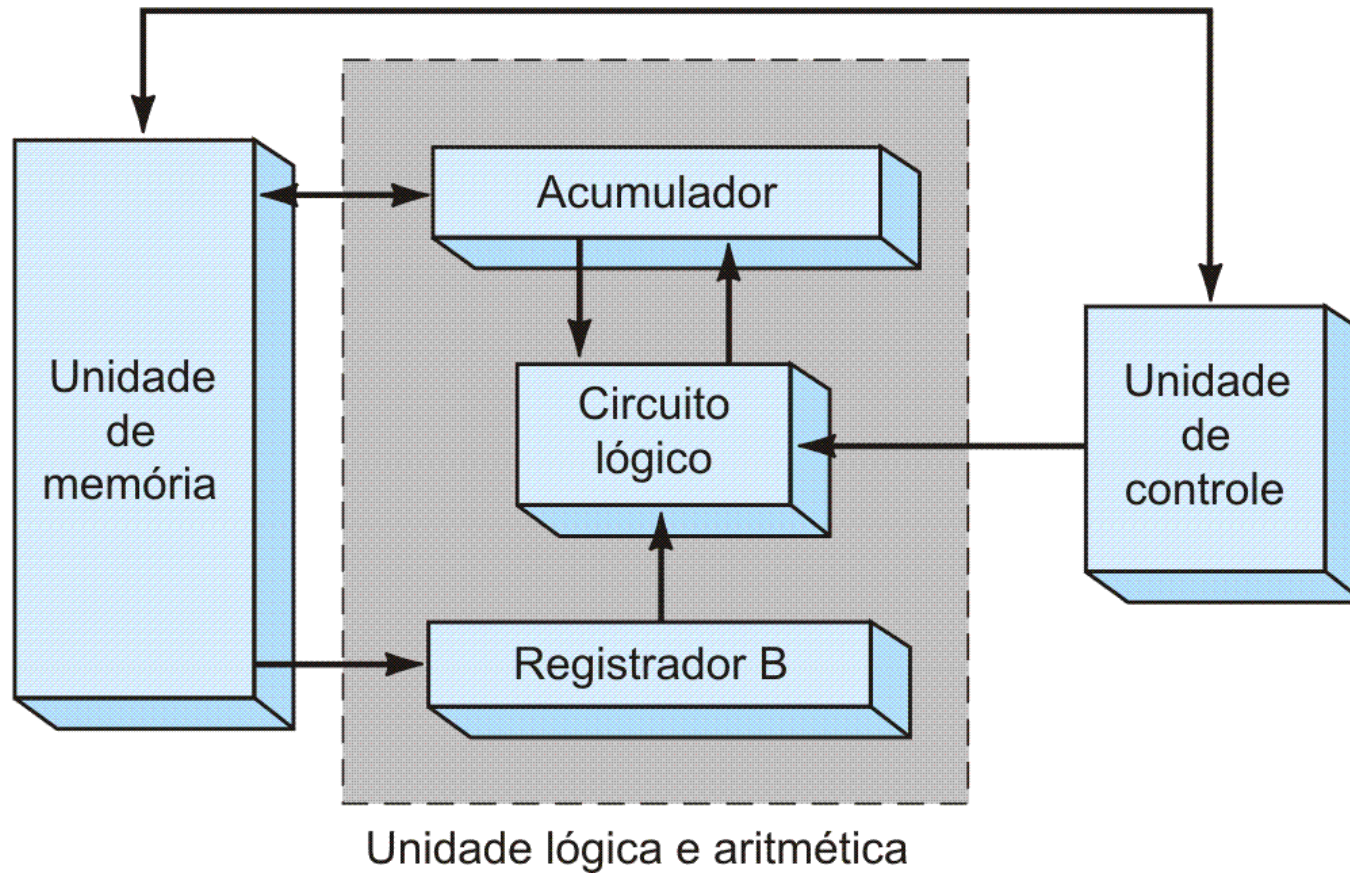


FIGURA 6-4 Processo típico de uma adição binária.

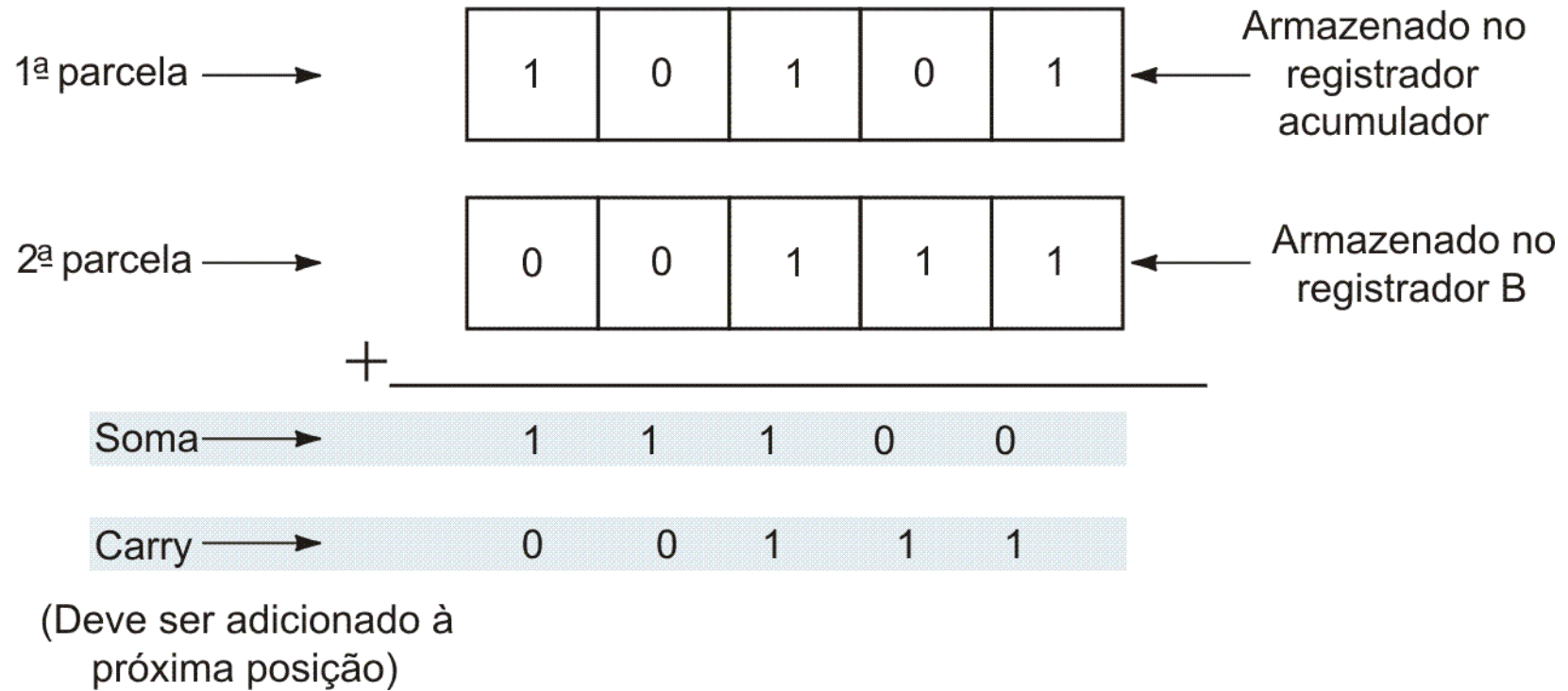
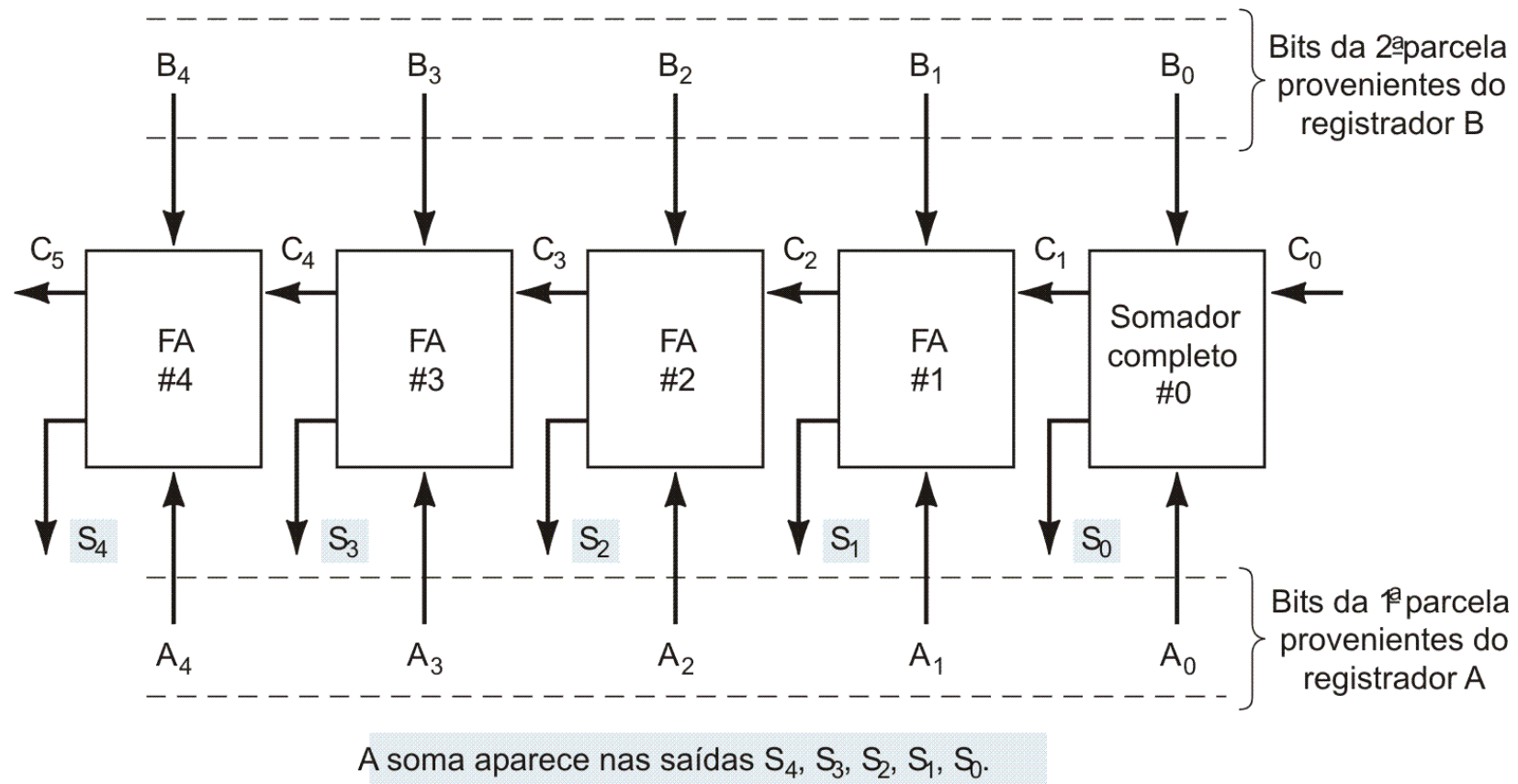


FIGURA 6-5 Diagrama em bloco de um circuito somador paralelo usando somadores completos.



**FIGURA 6-6** Tabela-verdade para um circuito somador completo.

Bit de entrada da 1ª parcela	Bit de entrada da 2ª parcela	Bit de entrada do carry	Bit de saída da soma	Bit de saída do carry
A	B	C <sub>IN</sub>	S	C <sub>OUT</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

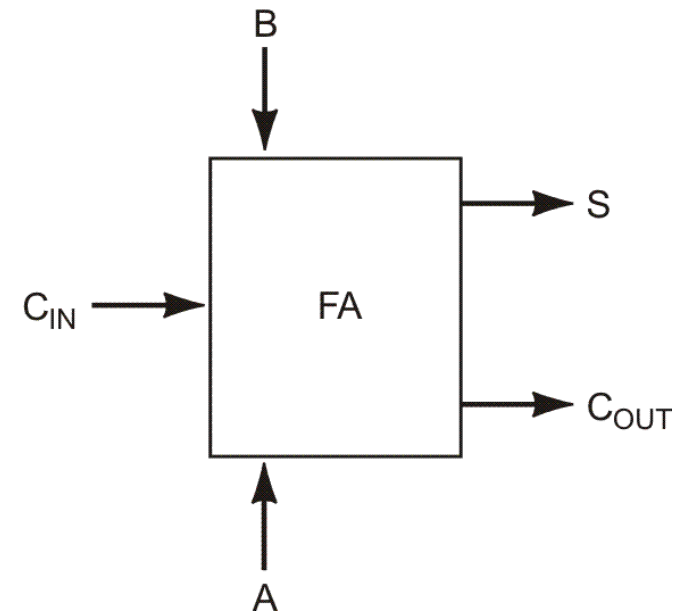


FIGURA 6-7 Circuito para um somador completo.

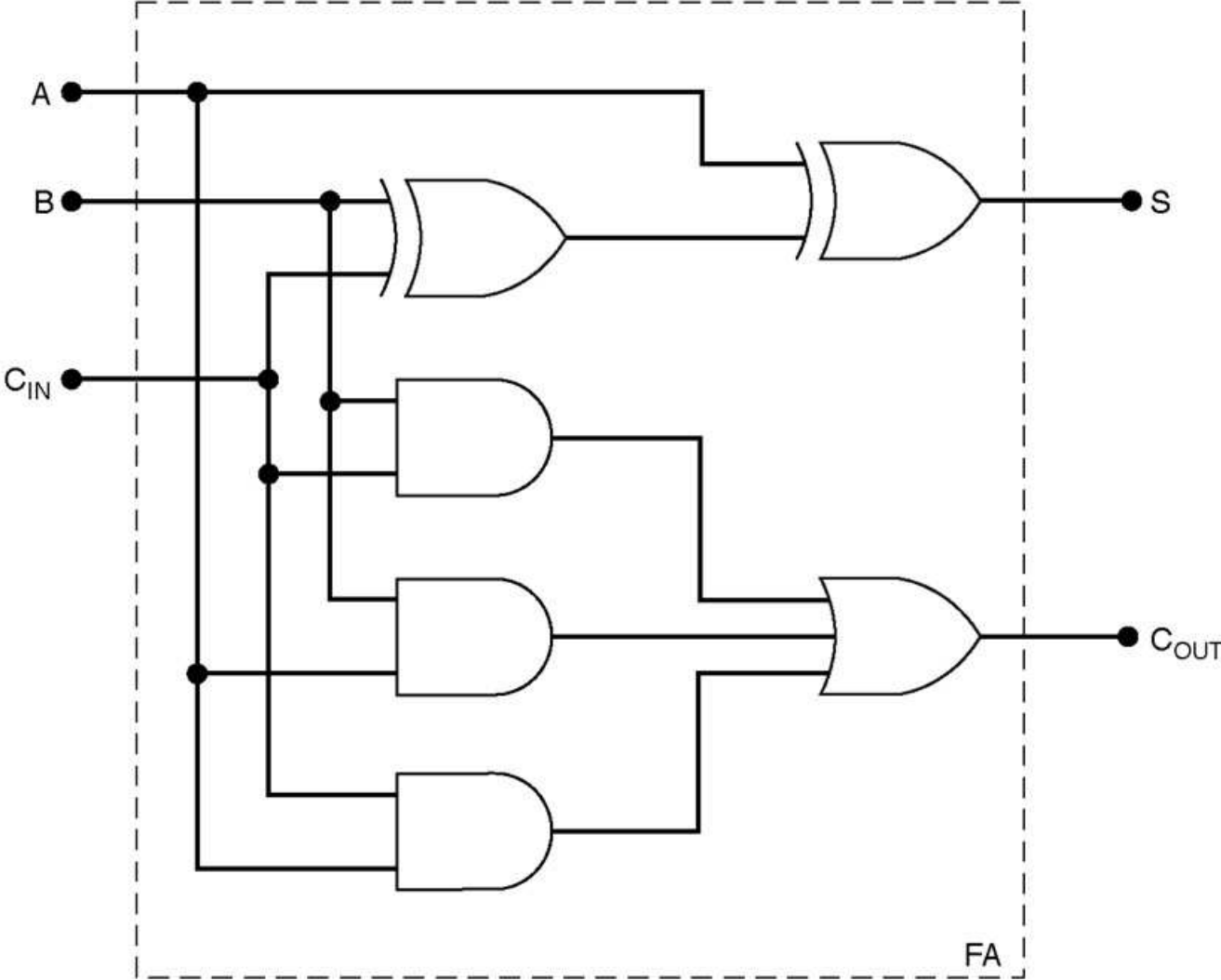


FIGURA 6-8 Mapas K para saídas de um somador completo.

	$\overline{C_{IN}}$	$C_{IN}$
$\overline{A}\overline{B}$	0	1
$\overline{A}B$	1	0
$AB$	0	1
$A\overline{B}$	1	0

Mapa K para S

$$S = \overline{A}\overline{B}C_{IN} + \overline{A}B\overline{C_{IN}} + AB\overline{C_{IN}} + A\overline{B}C_{IN}$$

(a)

	$\overline{C_{IN}}$	$C_{IN}$
$\overline{A}\overline{B}$	0	0
$\overline{A}B$	0	1
$AB$	1	1
$A\overline{B}$	0	1

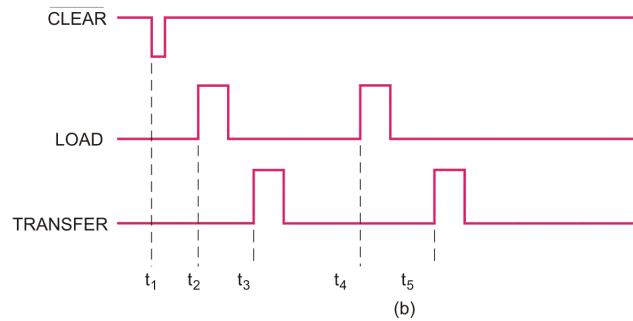
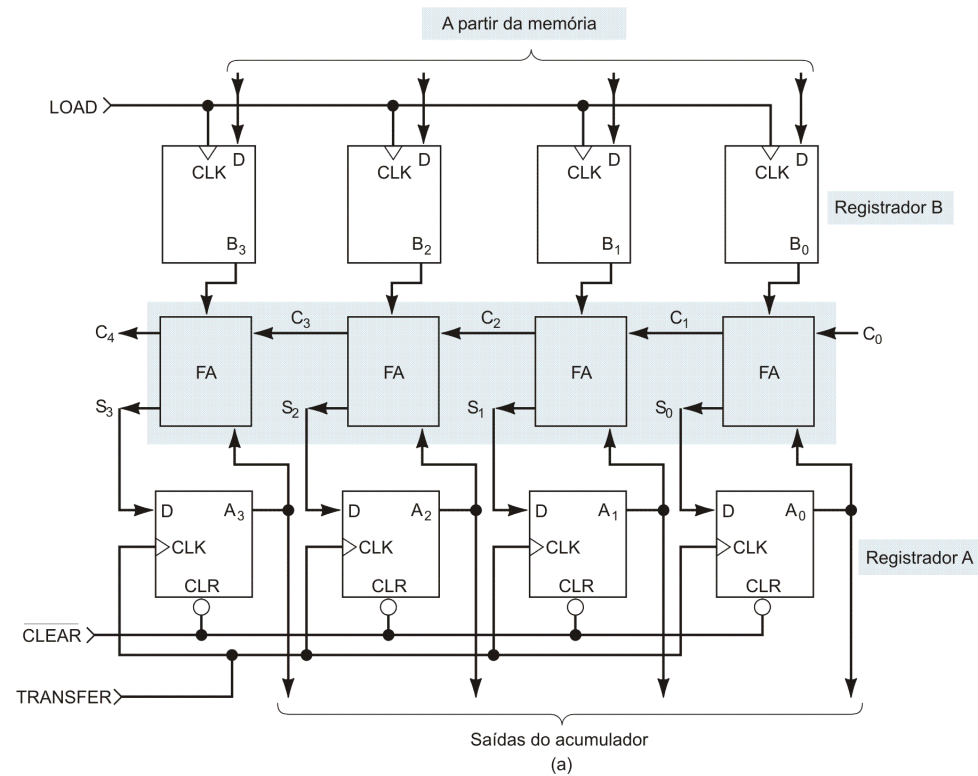
Mapa K para  $C_{OUT}$

$$C_{OUT} = BC_{IN} + AC_{IN} + AB$$

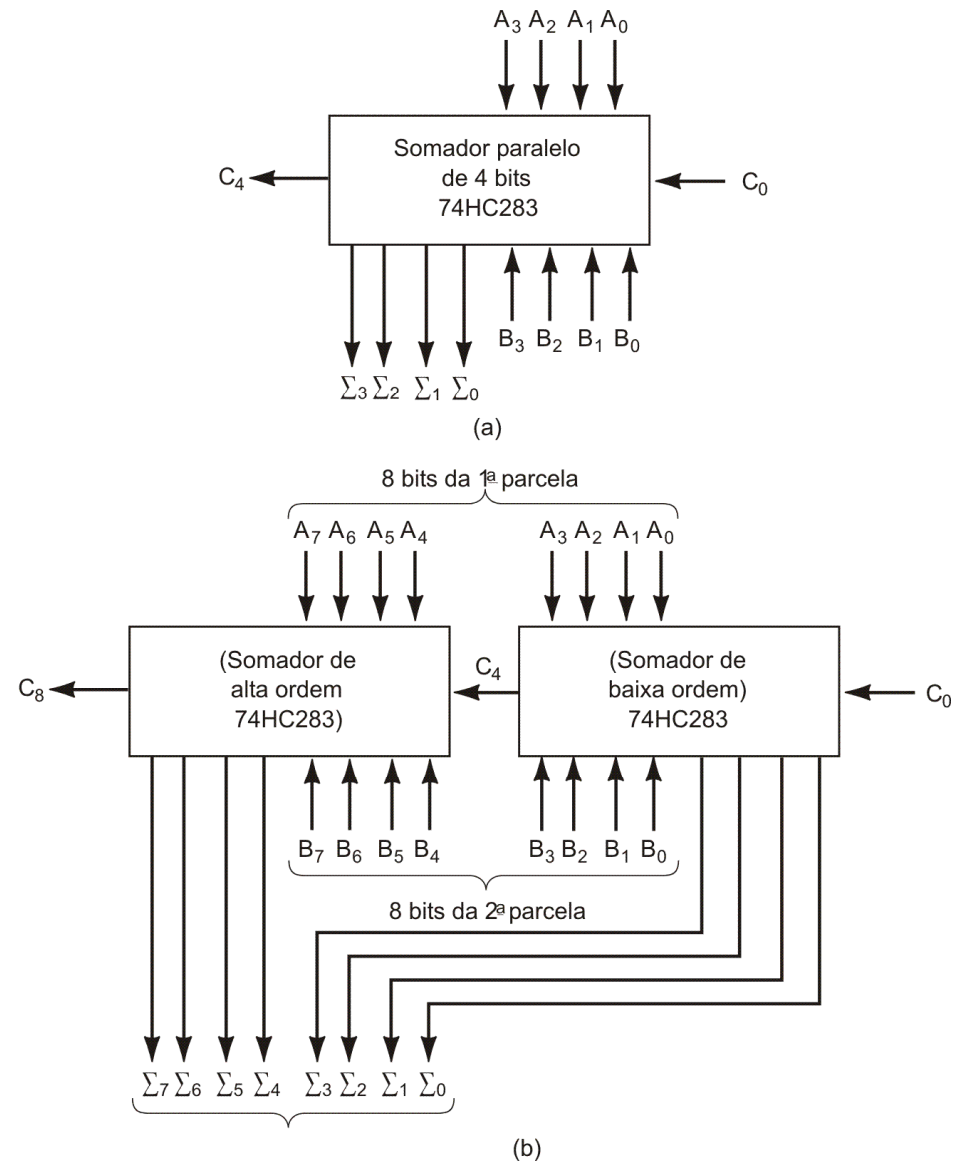
(b)



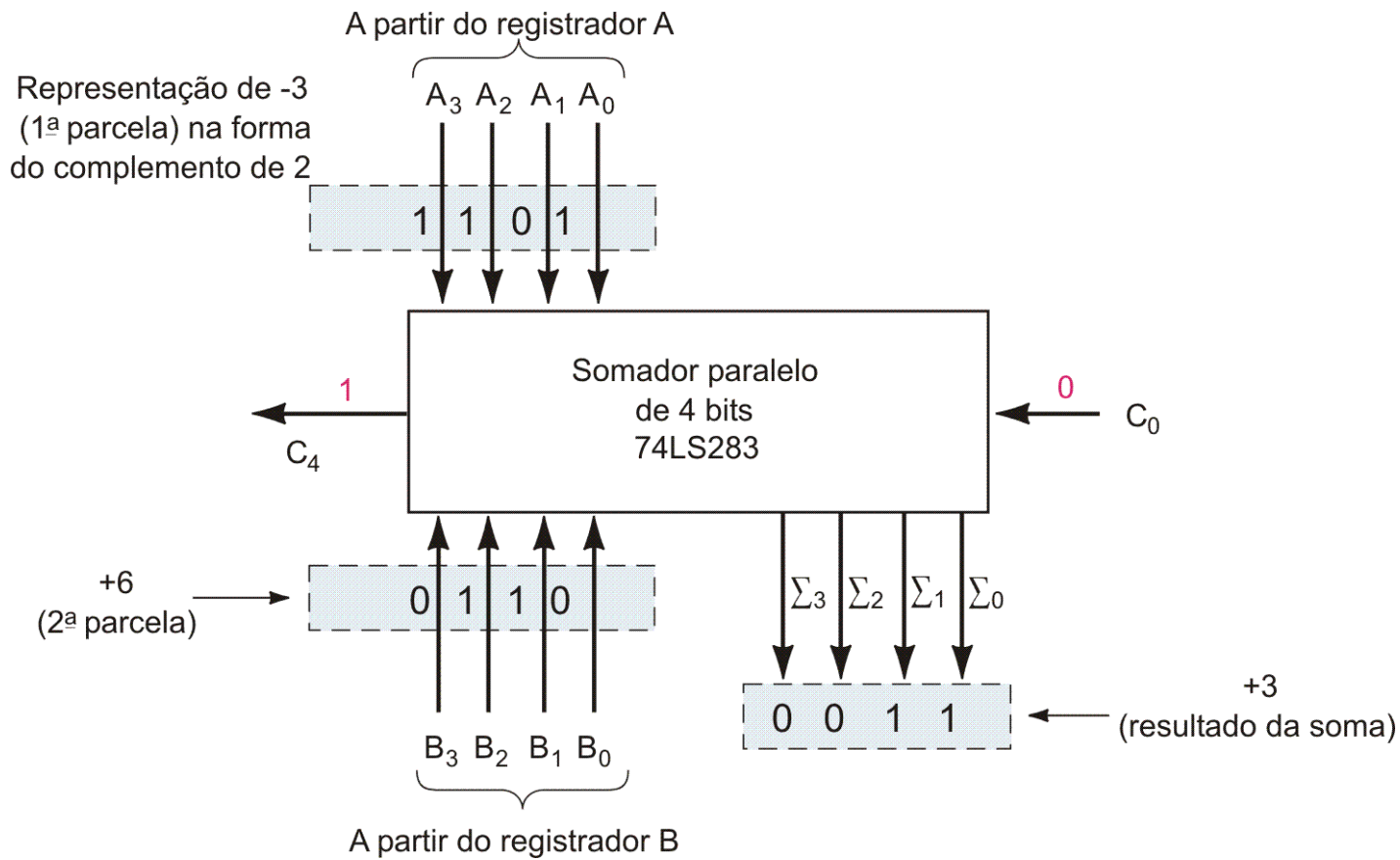
**FIGURA 6-9** (a) Somador de quatro bits completo com registradores; (b) Sinal usado para somar os números binários provenientes da memória e para armazenar o resultado no acumulador.



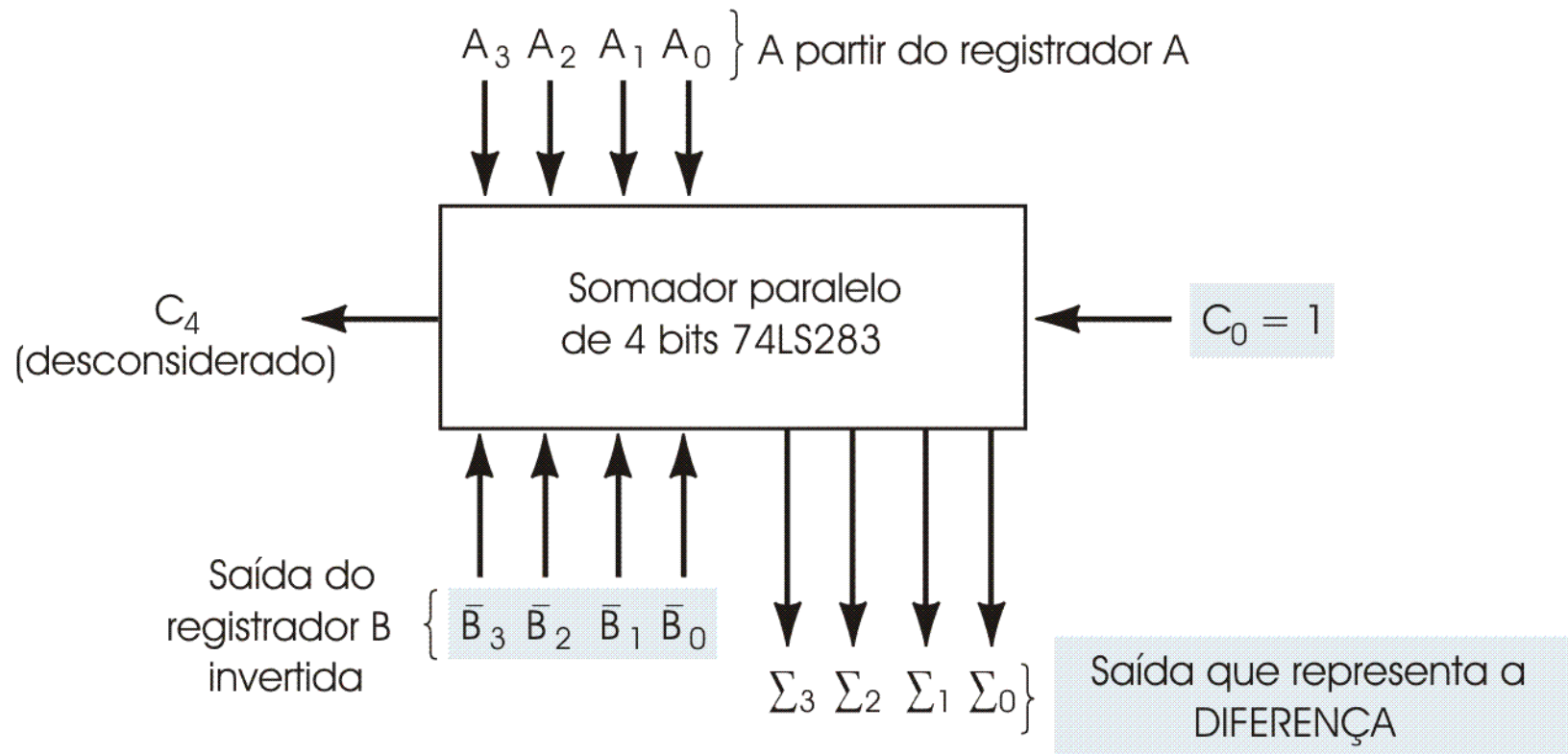
**FIGURA 6-10** (a) Diagrama em bloco do somador paralelo de 4 bits 74HC283; (b) Conexão em cascata de dois 74HC283.



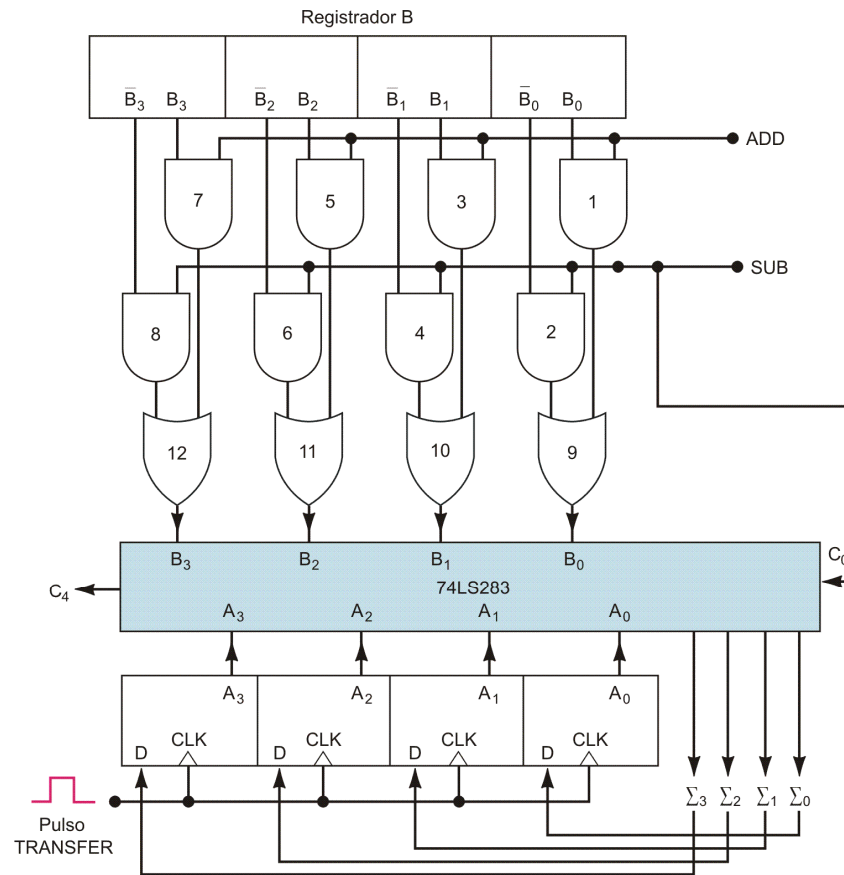
**FIGURA 6-11** Somador paralelo usado para somar um número positivo (+) com um negativo (-) no sistema de complemento de 2.



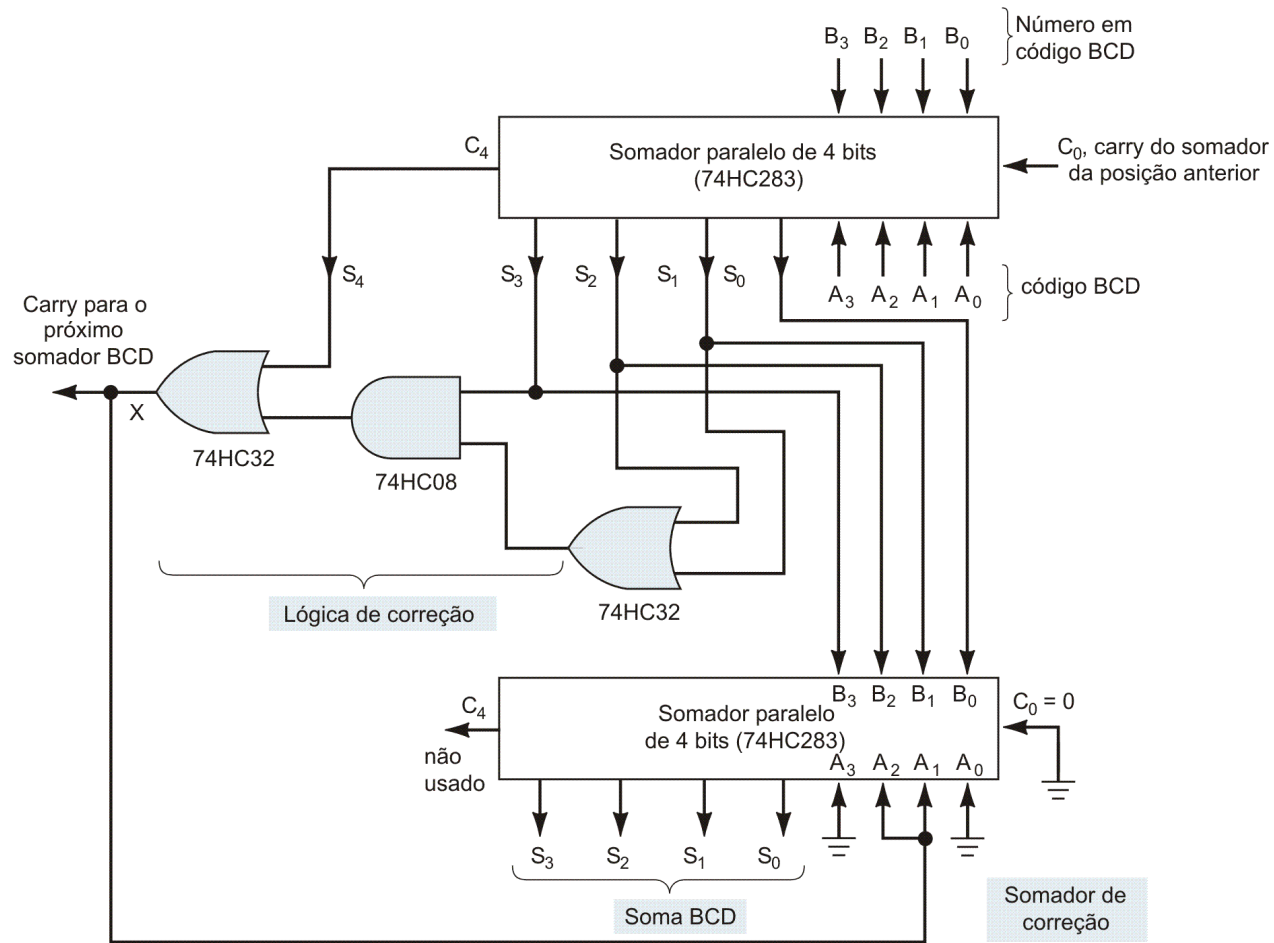
**FIGURA 6-12** Somador paralelo usado para realizar uma subtração ( $A-B$ ) usando o sistema do complemento de 2. Os bits do subtraendo ( $B$ ) são invertidos e  $C_0 = 1$  para gerar o complemento de 2.



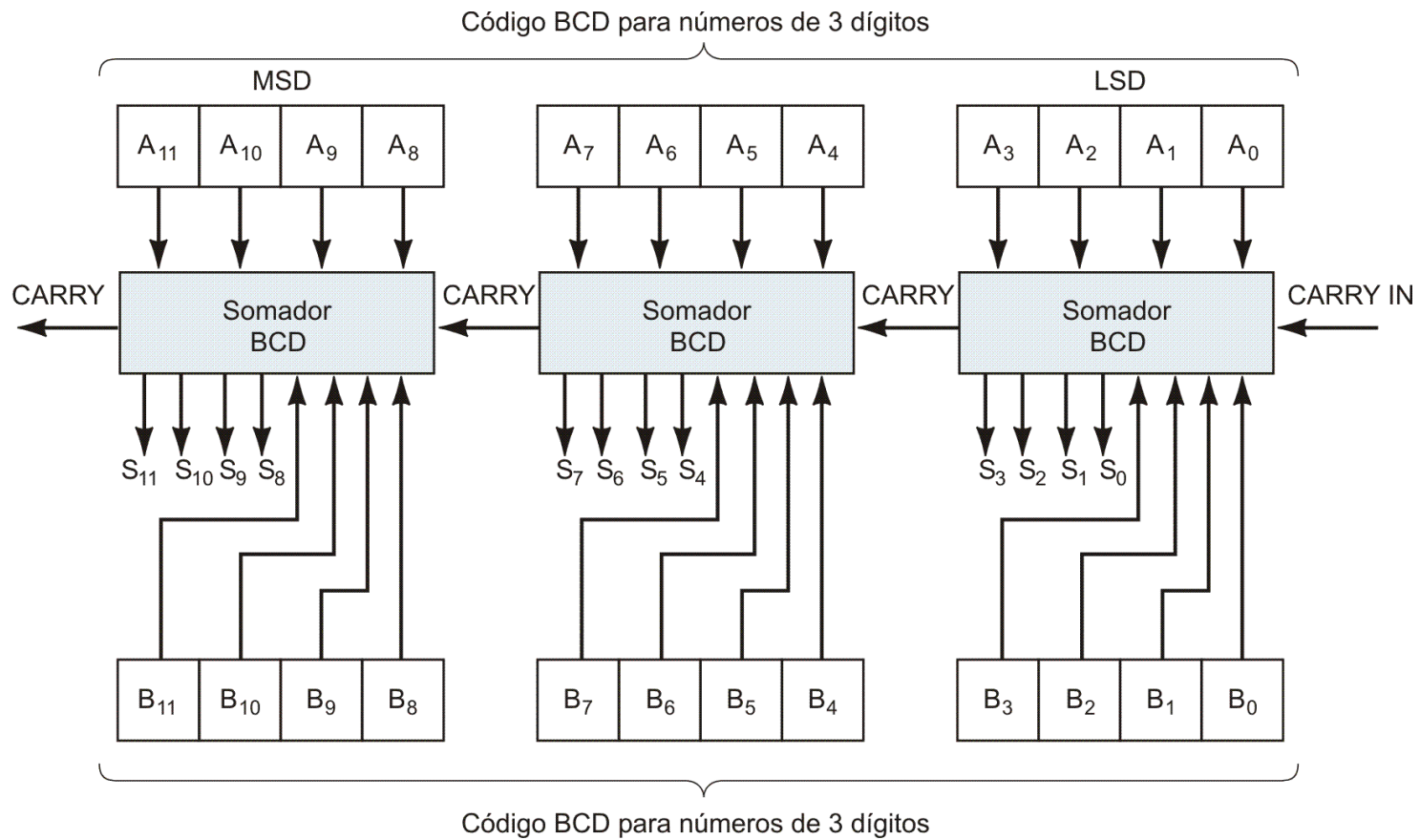
**FIGURA 6-13** Somador/subtrator paralelo usando o sistema de complemento de 2.



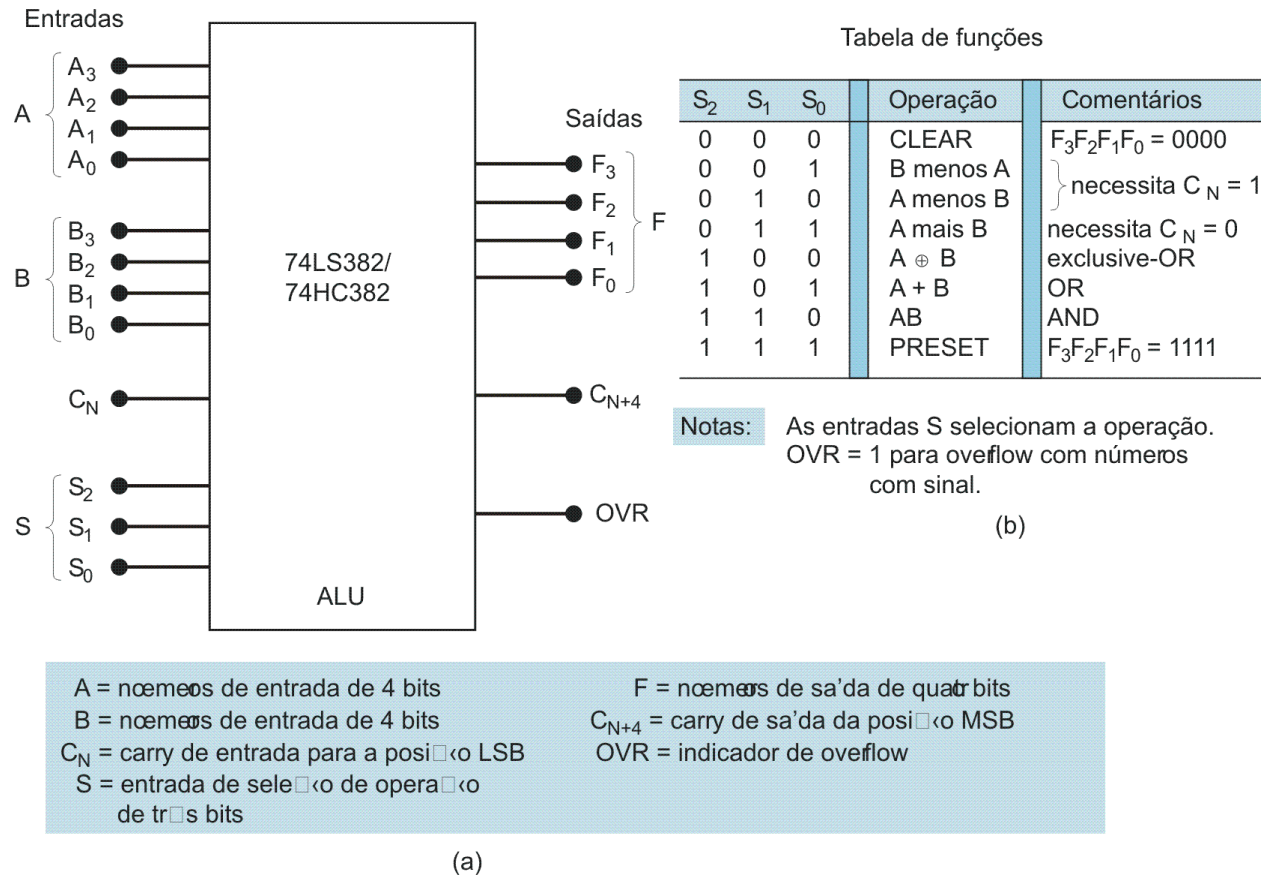
**FIGURA 6-14** Um somador BCD contém dois somadores de quatro bits e um circuito detector para correção.



**FIGURA 6-15** Conexão de somadores em cascata para somar dois números decimais de três dígitos.

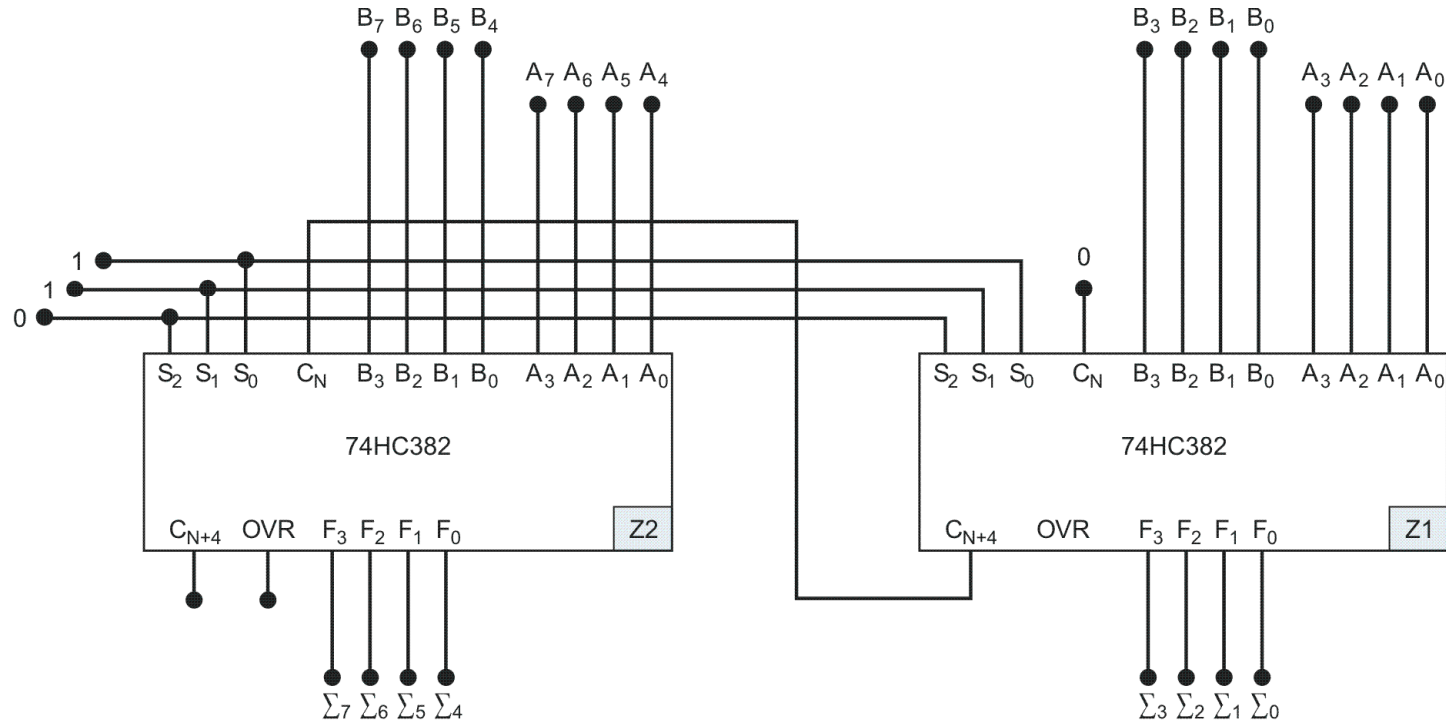


**FIGURA 6-16** (a) Símbolo para o chip ALU 74LS382/HC382; (b) Tabela de funções que mostra como as entradas de seleção (*S*) determinam a operação que deve ser realizada sobre as entradas *A* e *B*.



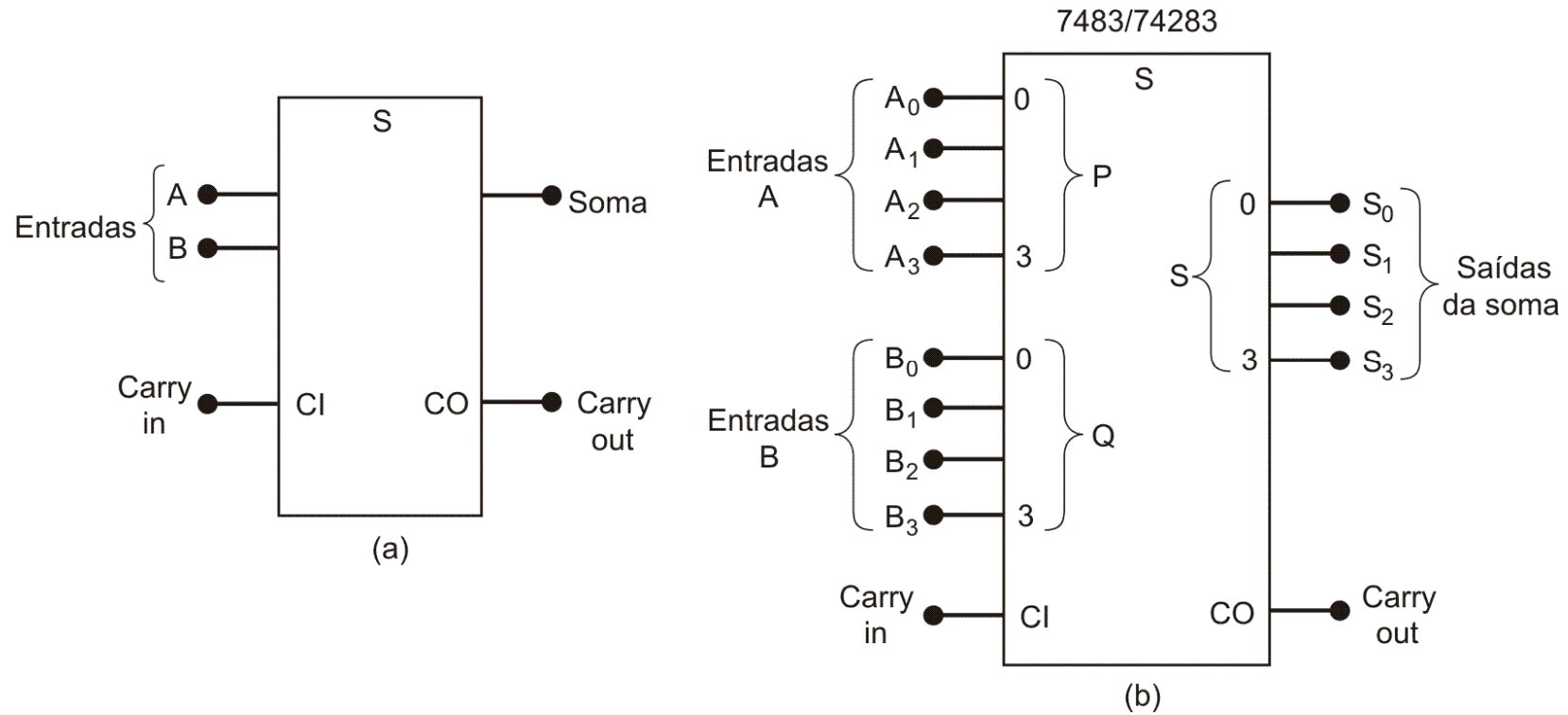


**FIGURA 6-17** Dois chips ALU 74HC382 conectados com um somador de 8 bits.



- Notas:
- Z1 soma os bits de baixa ordem
  - Z2 soma os bits de alta ordem
  - $\Sigma_7$ - $\Sigma_0$  = 8 bits de soma
  - OVR de Z2 é o indicador de overflow de 8 bits

**FIGURA 6-18** Símbolos IEEE/ANSI para (a) um somador completo e (b) um CI somador paralelo de quatro bits (7483/74283).



**FIGURA 6-19** Circuito somador/subtrator paralelo.

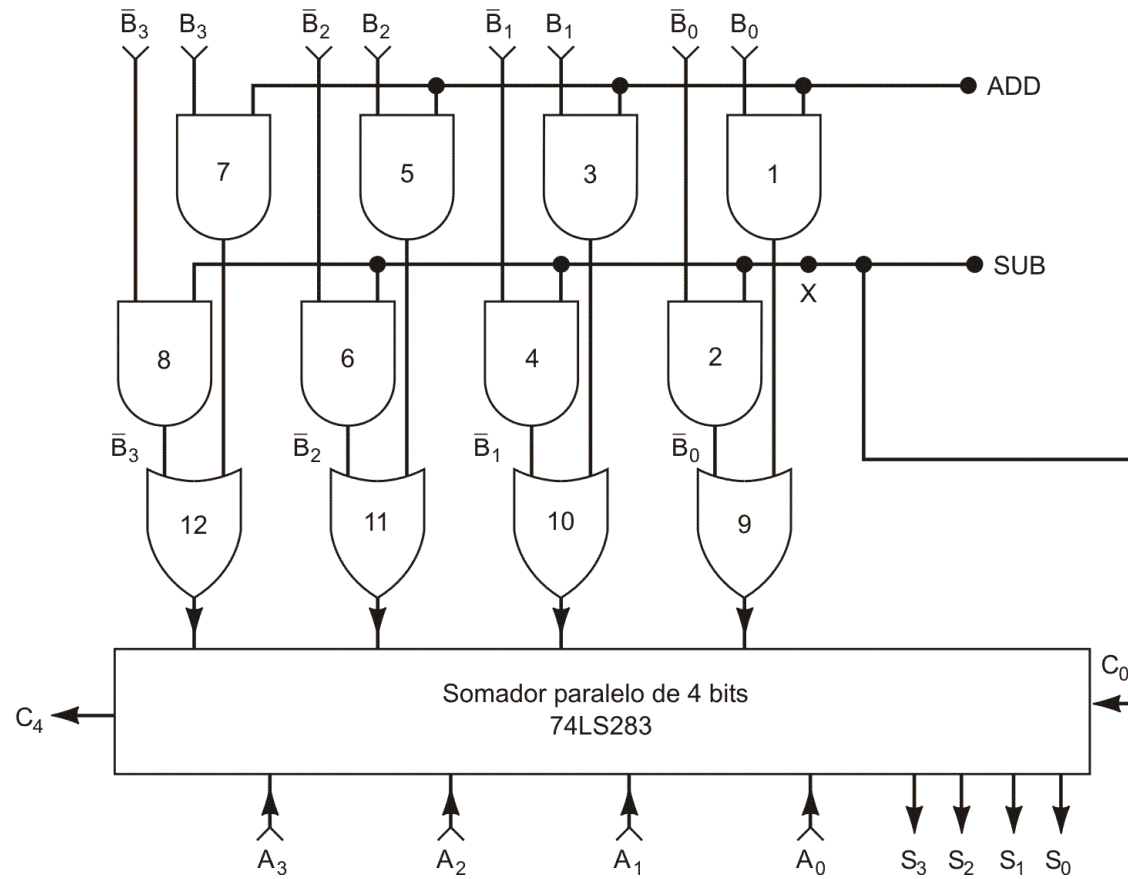


FIGURA 6-20 Arquivo-fonte para um somador de 4 bits.

```

Name      add4.pld      ;Designer   N.S.Widmer ;
Partno    1234567      ;Company    Purdue University;
Date      June 2       ;Assembly   Tocci Text ;
Revision  01           ;Location   Chapter 6 ;
Device    Gl6v8        ;Format     j ;

/* 4-bit full adder example */

/* INPUTS */

pin 1 = C0; /* Carry IN Labeled Carry bit zero*/
pin [2..5] = [A0..3]; /* 4-bit addend A */
pin [6..9] = [B0..3]; /* 4-bit addend B */

/* OUTPUTS */
pin [12, 15, 16, 19] = [S0..3];
pin [13, 14, 17, 18] = [C1..4]; /* Use C4 (pin 18) for carry out of 4-bit
add*/

/* SET Definitions */

field A = [A3..0]; /* 4-bit Augend */
field B = [B3..0]; /* 4-bit Addend */
field S = [S3..0]; /* 4-bit Sum */
field Cin = [C3..0]; /* Carry IN to each of 4 full adders */
field Cout = [C4..1]; /* Carry OUT from each full adder */

/* Hardware Description */

Cout = A&B # A&Cin # B&Cin; /*One equation defines all 4 Carry out
bits */
S = AS(B&Cin); /*This equation defines the 4-bit set of
the Sum */

```

**FIGURA 6-21** Somador completo implementado em um dispositivo GAL 16V8.

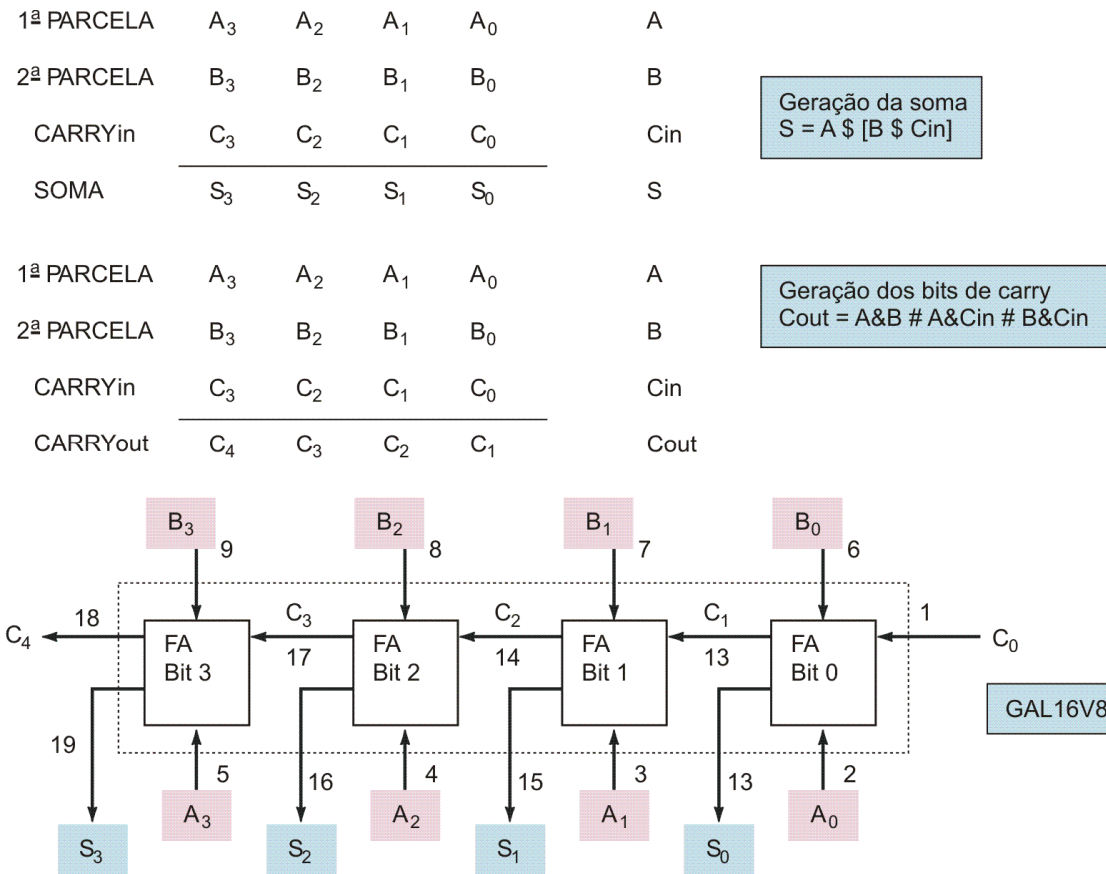


FIGURA 6-22 Problema 6-20.

